

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yoshitaka EGAWA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SOLID-STATE IMAGING DEVICE

REQUEST FOR PRIORITY



ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	11-286469	October 7, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

#5
but



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年10月 7日

出願番号

Application Number:

平成11年特許願第286469号

出願人

Applicant(s):

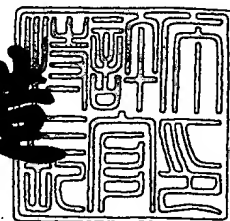
株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 9月 8日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3073127

【書類名】 特許願

【整理番号】 46A9980681

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/00

【発明の名称】 固体撮像装置

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 株式会社東芝マイクロエレクトロニクスセンター内

【氏名】 江川 佳孝

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 株式会社東芝マイクロエレクトロニクスセンター内

【氏名】 遠藤 幸雄

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 株式会社東芝マイクロエレクトロニクスセンター内

【氏名】 大澤 慎治

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 株式会社東芝マイクロエレクトロニクスセンター内

【氏名】 中村 信男

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 03-3457-2512

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】

画素への入射光を光電変換して電荷を蓄積する光電変換手段、蓄積した電荷を検出部に読み出す読み出し手段、及び読み出された電荷を増幅する増幅手段を備えた単位セルが半導体基板上に二次元的に配置されてなり、複数の画素行を有する撮像領域と、

前記撮像領域における各画素行に対応して水平方向に設けられ、それぞれ対応する画素行の単位セルの各読み出し手段を駆動するための読み出し駆動信号を伝送するための複数の本の読み取り線と、

前記複数の本の読み取り線に読み出し駆動信号を選択的に供給して前記読み出し手段を駆動するための垂直駆動手段と、

第 1 のパルスに基づき、前記撮像領域における各画素行の読み出し手段を駆動させるように前記垂直駆動手段を制御する第 1 の行選択手段と、

第 2 のパルスに基づき、前記撮像領域における各画素行の読み出し手段を駆動させるように前記垂直駆動手段を制御する第 2 の行選択手段と、

前記撮像領域における各画素列に対応して設けられ、各画素行の単位セルからそれぞれ出力される信号を垂直方向に伝送するための複数の垂直信号線とを具備し、

前記垂直駆動手段は、前記第 1、第 2 の行選択手段からの各出力信号に対応して、前記撮像領域における各画素行の読み出し手段を 1 フィールド期間内に 2 回以上駆動させて電子シャッタ動作を行なわせることを特徴とする固体撮像装置。

【請求項 2】

前記第 1、第 2 のパルスは、水平帰線期間内に互いに異なる位相で生成されることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】

前記第 2 のパルスは、水平帰線期間内に発生する位相固定パルス及び水平有効

走査期間内に発生される位相可変パルスから形成されることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 4】

前記複数の垂直信号線に伝送された信号をデジタル信号に変換する A/D 変換器をさらに具備し、

前記 A/D 変換器による信号変換が前記位相可変パルスの発生時には停止されることを特徴とする請求項 3 記載の固体撮像装置。

【請求項 5】

画素への入射光を光電変換して電荷を蓄積する光電変換手段、蓄積した電荷を検出部に読み出す読み出し手段、及び読み出された電荷を増幅する増幅手段を備えた単位セルが半導体基板上に二次元的に配置されてなり、複数の画素行を有する撮像領域と、

前記撮像領域における各画素行に対応して水平方向に設けられ、それぞれ対応する画素行の単位セルの各読み出し手段を駆動するための読み出し駆動信号を伝送するための複数の読み取り線と、

前記複数の読み取り線に読み出し駆動信号を選択的に供給して前記読み出し手段を駆動するための垂直駆動手段と、

前記撮像領域における各画素列に対応して設けられ、各画素行の単位セルからそれぞれ出力される信号を垂直方向に伝送するための複数の垂直信号線とを具備し、

前記垂直駆動手段は、前記撮像領域における各画素行の読み出し手段に対し、同一水平帰線期間内に読み出し駆動信号を 2 回供給することを特徴とする固体撮像装置。

【請求項 6】

前記撮像領域は、前記光電変換手段に蓄積された電荷が読み出される検出部の電荷をリセットするリセット手段をさらに有し、

前記垂直駆動手段は、同一水平帰線期間内に前記リセット手段を駆動するためのリセット信号を 2 回各読み出し駆動信号に先んじて供給することを特徴とする請求項 5 記載の固体撮像装置。

【請求項 7】

水平帰線期間内で互いに位相の異なるパルスに基づき、それぞれ前記撮像領域における各画素行の読み出し手段を駆動させるように前記垂直駆動手段を制御する第 1 及び第 2 の行選択手段をさらに具備し、

前記垂直駆動手段は、前記第 1、第 2 の行選択手段からの各出力信号に対応して、前記撮像領域における各画素行の読み出し手段に対し、同一水平帰線期間内に読み出し駆動信号を 2 回供給することを特徴とする請求項 5 記載の固体撮像装置。

【請求項 8】

画素への入射光を光電変換して電荷を蓄積する光電変換手段、蓄積した電荷を検出部に読み出す読み出し手段、及び読み出された電荷を増幅する増幅手段を備えた単位セルが半導体基板上に二次元的に配置されてなり、複数の画素行を有する撮像領域と、

前記撮像領域における各画素行に対応して水平方向に設けられ、それぞれ対応する画素行の単位セルの各読み出し手段を駆動するための読み出し駆動信号を伝送するための複数本の読み取り線と、

前記複数本の読み取り線に読み出し駆動信号を選択的に供給して前記読み出し手段を駆動するための垂直駆動手段と、

前記撮像領域における複数の画素行を選択し、読み出しパルス信号に基づき選択された画素行の読み出し手段を駆動させるように前記垂直駆動手段を制御する行選択手段と、

前記撮像領域における各画素列に対応して設けられ、各画素行の単位セルからそれぞれ出力される信号を垂直方向に伝送するための複数の垂直信号線と、

前記行選択手段により選択された画素行で一連の動作を行なわせるための複数のパルス信号を、所定のタイミング信号に基づいて生成するタイミング発生回路とを具備し、

前記タイミング信号が 1 水平帰線期間当り 1 回前記タイミング発生回路に供給される第 1 のモードと、前記タイミング信号が 1 水平帰線期間当り 2 回前記タイミング発生回路に供給される第 2 のモードとを有する

ことを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光電変換手段で得られた信号電荷を増幅して取り出す増幅型の固体撮像装置に関する。

【0002】

【従来の技術】

近年、ビデオカメラや電子スチルカメラ等への応用に適した固体撮像装置として、CMOS型の固体イメージセンサの開発が各所で活発に進められている。これは、各セル毎に光電変換手段で得られた信号をMOSトランジスタで増幅して取り出す構造を有しており、具体的には、光電変換手段が生成した信号電荷を電荷の検出部に読み出し、この検出部の電位を画素内部の増幅トランジスタで増幅することで、画素内部に増幅機能を持たせた増幅型の固体撮像装置である。こうした増幅型の固体撮像装置は、高感度で画素数の増加やイメージサイズの縮小による画素サイズの縮小化に適していることから、低消費電力であることとも相俟って、増幅型CMOSイメージセンサへの期待はますます増大しつつある。

ここで、従来の増幅型CMOSイメージセンサの回路図を図13に示す。図13において、撮像領域は1画素/1ユニットの単位セルが二次元の行列状に配置されてなる。さらに各単位セルは、例えば4個のトランジスタTa、Tb、Tc、Tdと1個のフォトダイオードPDで形成されている。すなわち各単位セルは、アノード側に接地電位が供給されるフォトダイオードPDと、フォトダイオードPDのカソード側に一端側が接続されている読み出しトランジスタTdと、読み出しトランジスタTdの他端側にゲートが接続されている増幅トランジスタTbと、増幅トランジスタTbの一端側に一端側が接続されている垂直選択トランジスタ（行選択トランジスタ）Taと、増幅トランジスタTbのゲートに一端側が接続されているリセットトランジスタTcとを備える。

【0003】

また撮像領域には各画素行と対応して、同一行の単位セルの各読み出しトラン

ジスタTdのゲートに共通に接続された読み取り線4と、同一行の単位セルの各垂直選択トランジスタTaのゲートに共通に接続された垂直選択線6と、同一行の単位セルの各リセットトランジスタTcのゲートに共通に接続されたりセット線7が形成されている。さらに撮像領域には各画素列と対応して、同一列の単位セルの各増幅トランジスタTbの他端側に共通に接続された垂直信号線VLINと、同一列の単位セルの各リセットトランジスタTcの他端側及び各垂直選択トランジスタTaの他端側に共通に接続された電源線9が形成されている。

撮像領域の一端側の外部には、垂直信号線VLINの各一端側と接地電位との間にそれぞれ接続された複数の負荷トランジスタTLが水平方向に配列されている。一方撮像領域の他端側の外部には、例えば2個のトランジスタTSH、TCLPと2個のコンデンサCc、Ctで形成されたノイズキャンセラ回路が、各画素列毎に水平方向に配置されている。またこれらノイズキャンセラ回路を介して、垂直信号線VLINの各他端側にそれぞれ水平選択トランジスタTHが接続され、水平方向に配列されている。

【0004】

さらに、水平選択トランジスタTHの各他端には水平信号線HLINが共通に接続されており、この水平信号線HLINには水平リセットトランジスタ（図示せず）及び出力増幅回路AMPが接続されている。なお上述したようなノイズキャンセラ回路は、それぞれ垂直信号線VLINの他端側に一端側が接続されたサンプルホールド用のトランジスタTSHと、サンプルホールド用のトランジスタTSHの他端側に一端側が接続された結合コンデンサCcと、結合コンデンサCcの他端側と接地電位との間に接続された電荷蓄積用のコンデンサCtと、これら2つのコンデンサCc、Ctの接続ノードに接続された電位クランプ用のトランジスタTCLPからなり、ここでの2つのコンデンサCc、Ctの接続ノードに水平選択トランジスタTHの一端側が接続されている。

また撮像領域の外部には、撮像領域の複数の垂直選択線6を走査的に選択制御するための垂直シフトレジスタ2、垂直シフトレジスタ2の出力パルスを選択制御して撮像領域の各行の垂直選択線6を走査的に駆動するためのパルスセクタ2a、水平選択トランジスタTHを走査的に駆動するための水平シフトレジスタ3

が配置されている。さらに、外部入力パルス信号に基づき各種のパルス信号を所定のタイミングで生成し、パルスセレクタ 2 a、水平シフトレジスタ 3 やノイズキャンセラ回路等へ供給するタイミング発生回路 1 0、ノイズキャンセラ回路の電位クランプ用のトランジスタ TCLP の一端等へ供給される所定のバイアス電位を発生するためのバイアス発生回路 1 1 が、撮像領域の外部に配置されている。

【0 0 0 5】

図 1 4 は、図 1 3 に示した CMOS イメージセンサの動作の一例を示すタイミング波形図である。次に図 1 4 を参照しながら、従来の CMOS イメージセンサの動作について説明する。

各フォトダイオード PD への入射光が光電変換されて生じた信号電荷は、フォトダイオード PD 内に蓄積される。水平帰線期間において、所望の一行分の単位セルからフォトダイオード PD に蓄積された信号電荷を読み出す際、まず各垂直選択線 6 を選択するために、垂直選択パルス信号 ϕ ADRES に同期して選択対象行の垂直選択線 6 の信号 (ϕ ADRES_i パルス) を活性化することにより、一行分の垂直選択トランジスタ Ta をオンにする。こうして選択された一行分の単位セルにつき、垂直選択トランジスタ Ta を介して電源電位 (例えば 3.3 V) が供給される増幅トランジスタ Tb と負荷トランジスタ TL からなるソースフォロワ回路を動作させる。

次に選択された一行分の単位セルにおいて、リセットパルス信号 ϕ RESET に同期するようにリセット線 7 の信号 (ϕ RESET_i パルス) を活性化することで、増幅トランジスタ Tb のゲート電圧を基準電圧に一定期間リセットし、垂直信号線 VLIN に基準電圧を出力する。ただし、ここでリセットされた一行分の単位セルの増幅トランジスタ Tb のゲート電位にはばらつきが存在し、その他端側の垂直信号線 VLIN のリセット電位は不均一となる。

【0 0 0 6】

そこで、各垂直信号線 VLIN の電位不均一を打ち消すために、予めノイズキャンセラ回路におけるサンプルホールド用トランジスタ TSH の駆動信号 (ϕ SH パルス) を活性化しておく。さらに、垂直信号線 VLIN に基準電圧が出力された後電位クランプ用のトランジスタ TCLP の駆動信号 (ϕ CLP パルス) を一定時間活性化

することにより、ノイズキャンセラ回路の2つのコンデンサCc、Ctの接続ノードに基準電圧を設定する。

次いで、リセット線7の信号を非活性にした後、読み出しパルス信号 ϕ READに同期して所定行の読み取り線4を選択しその信号(ϕ READi パルス)を活性化することにより、読み出しトランジスタTdをオンにし、フォトダイオードPDの蓄積電荷を増幅トランジスタTbのゲートに読み出すことによりゲート電位を変化させる。増幅トランジスタTbは、ゲート電位の変化量に応じた信号電圧を対応する垂直信号線VLIN及びノイズキャンセラ回路に出力する。

この後、ノイズキャンセラ回路における ϕ SHパルスをオフにすることにより、出力された基準電圧と信号電圧の差分に相当する信号成分、換言すればノイズが除去された信号電圧を、対応する水平選択トランジスタTHが活性化されるまで電荷蓄積用のコンデンサCtに蓄積する。一方垂直選択線6の信号を非活性にして、垂直選択トランジスタTaをオフ状態に制御し単位セルを非選択とすることで、撮像領域とノイズキャンセラ回路を電氣的に分離する。

【0007】

引き続き水平有効走査期間では、タイミング発生回路10からの水平リセット信号HRS によるリセット後、タイミング信号HCK に同期して水平シフトレジスタ3のシフト動作を行なって水平選択トランジスタTHの駆動信号(ϕ Hパルス)を順次活性化することで、水平選択トランジスタTHを順次オンさせる。こうして、ノイズキャンセラ回路における2つのコンデンサCc、Ctの接続ノード、すなわち信号保存ノードの信号電圧を水平信号線HLINに順次読み出し、出力増幅回路AMP で増幅した後出力する。なお上述したようなノイズ除去動作は、1水平線の読み出し動作毎に行なわれる。

【0008】

【発明が解決しようとする課題】

一般にCMOSイメージセンサのような固体撮像装置は、室内や野外、さらには昼間あるいは夜間といった多様な外光の下で使用される傾向がある。従って外光の変化等に応じ、フォトダイオードにおける電荷蓄積期間を制御することで露光時間を調整し、ひいては感度を最適設定する電子シャッタ動作が必要となる場

合が多い。

ここで、上述したような従来のCMOSイメージセンサにおける垂直シフトレジスタのタイミング波形図を図15に示し、従来のCMOSイメージセンサの動作をさらに説明する。なお図15には、CMOSイメージセンサを1フィールド＝1/30Hzの30HzVGA方式で動作させる場合を示すものとする。

外部入力パルス信号である30Hzの ϕVR 、15.7kHzの ϕHP は、図示しないバッファ回路で整形され、それぞれフィールド周期及び水平周期で垂直シフトレジスタに入力される。垂直シフトレジスタは、パルス信号 ϕVR の入力が“L”レベルの期間にレジスタ出力を全てクリアして“L”レベルにした後、パルス信号 ϕHP によりシフト動作を行なって出力パルス信号 ROI ($i = \dots, n, n+1$)を順次“H”レベルにし、パルスセレクトタに入力する。パルスセレクトタは、各選択行に対して垂直選択線の信号($\phi ADRESi$ パルス)、リセット線の信号($\phi RESETi$ パルス)、読み取り線の信号($\phi READi$ パルス)を活性化し、選択対象行を走査する。

【0009】

このように図13に示したCMOSイメージセンサでは、特定の選択対象行を選択制御するための垂直シフトレジスタ2の各出力パルス信号 ROI を、1フィールド期間内に1回しか出力しない。すなわちフォトダイオードPDは、1フィールドに1回しか蓄積電荷を排出せず、フォトダイオードPDの電荷蓄積時間を制御することによって露光時間を調整する電子シャッタ動作を行なうことができない。

これに対し、上述したような出力パルス信号 ROI を出力する垂直シフトレジスタに加え、この垂直シフトレジスタに先んじて各画素行を選択制御する電子シャッタ用の垂直シフトレジスタを設ければ、これら2本の垂直シフトレジスタからの各出力パルス信号に基づき各画素行のフォトダイオードの信号蓄積時間を制御することができ、結果的に電子シャッタ動作を行なうことが可能となる。ここで、図16に電子シャッタ動作が可能な増幅型CMOSイメージセンサの回路図を、図17に垂直シフトレジスタのタイミング波形図を示す。

図16において、電子シャッタ用の垂直シフトレジスタ20には、外部入力パ

ルス信号である 30 Hz の ϕ ES、15.7 kHz の ϕ HP がそれぞれフィールド周期及び水平周期で入力される。これを受けて電子シャッタ用の垂直シフトレジスタ 20 は、パルス信号 ϕ ES の入力が “L” レベルの期間にレジスタ出力を全てクリアして “L” レベルにした後、パルス信号 ϕ HP によりシフト動作を行なって出力パルス信号 ES_i ($i = \dots, n, n+1$) を順次 “H” レベルにし、パルスセクタ 2a に入力する。

【0010】

パルスセクタ 2a は、2 本の垂直シフトレジスタ 2、20 からの出力パルス信号 RO_i 、 ES_i が “H” レベルである画素行に対して、リセット線の信号 (ϕ RESET $_i$ パルス)、読み取り線の信号 (ϕ READ $_i$ パルス) を活性化するように、撮像領域の画素行を走査する。ただし、垂直選択線の信号 (ϕ ADRES $_i$ パルス) については、読み出し用の垂直シフトレジスタ 2 からの出力パルス信号 RO_i が “H” レベルである選択対象行のみが活性化され、走査される。

こうして図 17 に示される通り、各画素行における読み取り線の信号 (ϕ READ $_i$ パルス) は、2 本の垂直シフトレジスタにより 1 フィールド期間内に 2 度活性化される。すなわち、電子シャッタ用の垂直シフトレジスタ及び読み出し用の垂直シフトレジスタからの出力パルス信号 RO_i 、 ES_i のそれぞれに対応させて、信号蓄積タイミングと信号読み出しタイミングを設定できるので、結果としてフォトダイオードでの電荷蓄積時間を制御した電子シャッタ動作が可能となっている。

しかしながら、この CMOS イメージセンサにおいては、電子シャッタ動作の際のフォトダイオード PD における電荷蓄積時間の制御を、1 H (水平周期) 単位でしか行なうことができないという問題点がある。これは、信号蓄積タイミング、信号読み出しタイミングのいずれの場合も、タイミング発生回路 10a から供給される読み出しパルス信号 ϕ READ に同期して、パルスセクタ 2a から読み取り線 4 に駆動信号が出力されることによる。ここで、パルスセクタ 2a のタイミング波形図を図 18 に示し、以下図 18 を参照して上述したような問題点をさらに説明する。

【0011】

図 1 8 に示されるように、各画素行で読み取り線に 2 度出力される駆動信号 ($\phi \text{ READ}_i$ ($i = \dots, n, n+1$) パルス) は、タイミング発生回路が水平帰線期間内に生成する読み出しパルス信号 $\phi \text{ READ}$ に同期していることに起因し、いずれも水平周期内で同位相の関係にある。一方、2 本の垂直シフトレジスタによる各画素行の選択制御は図 1 7 から明らかな通り、読み出し用の垂直シフトレジスタについてはフィールド周期で供給されるパルス信号 $\phi \text{ VR}$ をトリガとしてリセット動作が行なわれた後、水平周期で供給されるパルス信号 $\phi \text{ HP}$ に基づき順次画素行が選択されていく。また電子シャッタ用の垂直シフトレジスタは、読み出し用の垂直シフトレジスタに先立ち、フィールド周期で供給される別の外部入力パルス信号 $\phi \text{ ES}$ をトリガとしてリセットされ、その後水平周期で供給されるパルス信号 $\phi \text{ HP}$ に基づき画素行の選択動作が順次行なわれる。

従って、各画素行で読み取り線に 2 度出力される駆動信号 ($\phi \text{ READ}_i$ ($i = \dots, n, n+1$) パルス) の間隔は、水平周期を単位として、これに 2 本の垂直シフトレジスタ間の動作タイミングの差を乗じて決定されることになる。例えば図 1 7、図 1 8 に示す場合では、電子シャッタ用の垂直シフトレジスタによる動作を読み出し用の垂直シフトレジスタに対し 1 水平周期、すなわち 1 画素行分だけ先行させており、パルスセレクタが 2 本の垂直シフトレジスタからの出力パルス信号 RO_i 、 ES_i に基づいて、連続する水平期間に同位相の駆動信号 $\phi \text{ READ}_i$ を 2 回各画素行の読み取り線に出力している。このとき、フォトダイオードにおける信号蓄積タイミングと信号読み出しタイミングの差に相当する電荷蓄積時間は、1 H (水平周期) である。同様に、電子シャッタ用の垂直シフトレジスタによる動作を読み出し用の垂直シフトレジスタに対し m 画素行 (m は整数) 先行させると、各画素行でのフォトダイオードの電荷蓄積時間は $m \times H$ となる。

【 0 0 1 2 】

上述したように、図 1 6 に示される CMOS イメージセンサにおいては、フォトダイオードの電荷蓄積時間を 1 H (水平周期) 単位で制御できる電子シャッタ動作が可能となっている。しかしながら、CMOS イメージセンサのような増幅型の固体撮像装置では、昼間の野外等入射光量が極めて多い環境下での用途が十分予想され、こうした環境下でも高輝度側がクリップされるおそれを伴わず常に

良好な画像を得るためには、フォトダイオードの電荷蓄積時間を1 H（水平周期）未満に低減した高速の電子シャッタ動作を実現することが望まれる。本発明はこのような事情に鑑みてなされたものであり、フォトダイオードにおける最小の電荷蓄積時間を1 H（水平周期）未満に制御することができ、非常に高速の電子シャッタ動作を行なうことが可能な固体撮像装置を提供することをその目的としている。

【0 0 1 3】

【課題を解決するための手段】

上記目的を達成するため本発明は、画素への入射光を光電変換して電荷を蓄積する光電変換手段、蓄積した電荷を検出部に読み出す読み出し手段、及び読み出された電荷を増幅する増幅手段を備えた単位セルが半導体基板上に二次元的に配置されてなり、複数の画素行を有する撮像領域と、前記撮像領域における各画素行に対応して水平方向に設けられ、それぞれ対応する画素行の単位セルの各読み出し手段を駆動するための読み出し駆動信号を伝送するための複数本の読み取り線と、前記複数本の読み取り線に読み出し駆動信号を選択的に供給して前記読み出し手段を駆動するための垂直駆動手段と、第1のパルスに基づき、前記撮像領域における各画素行の読み出し手段を駆動させるように前記垂直駆動手段を制御する第1の行選択手段と、第2のパルスに基づき、前記撮像領域における各画素行の読み出し手段を駆動させるように前記垂直駆動手段を制御する第2の行選択手段と、前記撮像領域における各画素列に対応して設けられ、各画素行の単位セルからそれぞれ出力される信号を垂直方向に伝送するための複数の垂直信号線とを具備し、前記垂直駆動手段は、前記第1、第2の行選択手段からの各出力信号に対応して、前記撮像領域における各画素行の読み出し手段を1フィールド期間内に2回以上駆動させて電子シャッタ動作を行なわせる固体撮像装置を提供する。また本発明は、画素への入射光を光電変換して電荷を蓄積する光電変換手段、蓄積した電荷を検出部に読み出す読み出し手段、及び読み出された電荷を増幅する増幅手段を備えた単位セルが半導体基板上に二次元的に配置されてなり、複数の画素行を有する撮像領域と、前記撮像領域における各画素行に対応して水平方向に設けられ、それぞれ対応する画素行の単位セルの各読み出し手段を駆動す

るための読み出し駆動信号を伝送するための複数本の読み取り線と、前記複数本の読み取り線に読み出し駆動信号を選択的に供給して前記読み出し手段を駆動するための垂直駆動手段と、前記撮像領域における各画素列に対応して設けられ、各画素行の単位セルからそれぞれ出力される信号を垂直方向に伝送するための複数の垂直信号線とを具備し、前記垂直駆動手段は、前記撮像領域における各画素行の読み出し手段に対し、同一水平帰線期間内に読み出し駆動信号を2回供給する固体撮像装置を提供する。さらに本発明は、画素への入射光を光電変換して電荷を蓄積する光電変換手段、蓄積した電荷を検出部に読み出す読み出し手段、及び読み出された電荷を増幅する増幅手段を備えた単位セルが半導体基板上に二次元的に配置されてなり、複数の画素行を有する撮像領域と、前記撮像領域における各画素行に対応して水平方向に設けられ、それぞれ対応する画素行の単位セルの各読み出し手段を駆動するための読み出し駆動信号を伝送するための複数本の読み取り線と、前記複数本の読み取り線に読み出し駆動信号を選択的に供給して前記読み出し手段を駆動するための垂直駆動手段と、前記撮像領域における複数の画素行を選択し、読み出しパルス信号に基づき選択された画素行の読み出し手段を駆動させるように前記垂直駆動手段を制御する行選択手段と、前記撮像領域における各画素列に対応して設けられ、各画素行の単位セルからそれぞれ出力される信号を垂直方向に伝送するための複数の垂直信号線と、前記行選択手段により選択された画素行で一連の動作を行なわせるための複数のパルス信号を、所定のタイミング信号に基づいて生成するタイミング発生回路とを具備し、前記タイミング信号が1水平帰線期間当り1回前記タイミング発生回路に供給される第1のモードと、前記タイミング信号が1水平帰線期間当り2回前記タイミング発生回路に供給される第2のモードとを有する固体撮像装置を提供する。

【0014】

すなわち本発明の固体撮像装置においては、各画素行の読み取り線に対し水平周期内で位相の異なる複数の読み出し駆動信号を供給して、電子シャッタ動作を行なうことを特徴としている。このように構成することで本発明では、水平周期内で互いに位相の異なる複数の読み出し駆動信号に基づき、フォトダイオードにおける信号蓄積タイミングと信号読み出しタイミングを設定できるので、水平周

期単位でフォトダイオードの電荷蓄積時間が決定されるという制約がなく、最小の電荷蓄積時間を 1 H（水平周期）未満に低減することが可能となる。

【0 0 1 5】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照しながら説明する。図 1 は、本発明の固体撮像装置としての増幅型 CMOS イメージセンサの一例を示す回路図である。この増幅型 CMOS イメージセンサは、読み出し用の垂直シフトレジスタ 2 と電子シャッタ用の垂直シフトレジスタ 2 0 が、水平周期内で互いに位相の異なるパルス信号 ϕ ROREAD、 ϕ ESREAD に基づき、それぞれ特定の画素行に読み出し駆動信号を供給するようパルスセレクタ 2 a を制御する点で、図 1 6 に示した CMOS イメージセンサとは異なっている。

すなわち図 1 において、撮像領域は 1 画素 / 1 ユニットの単位セル 1 が二次元の行列状に配置されてなる。さらに各単位セル 1 は、例えば 4 個のトランジスタ Ta、Tb、Tc、Td と 1 個のフォトダイオード PD で形成されている。すなわち各単位セルは、アノード側に接地電位が供給されるフォトダイオード（光電変換手段）PD と、フォトダイオード PD のカソード側に一端側が接続されている読み出しトランジスタ（読み出し手段）Td と、読み出しトランジスタ Td の他端側にゲートが接続されている増幅トランジスタ（増幅手段）Tb と、増幅トランジスタ Tb の一端側に一端側が接続されている垂直選択トランジスタ（行選択トランジスタ）Ta と、増幅トランジスタ Tb のゲートに一端側が接続されているリセットトランジスタ（リセット手段）Tc とを備える。

【0 0 1 6】

また撮像領域には各画素行と対応して、同一行の単位セル 1 の各読み出しトランジスタ Td のゲートに共通に接続された読み取り線 4 と、同一行の単位セルの各垂直選択トランジスタ Ta のゲートに共通に接続された垂直選択線 6 と、同一行の単位セルの各リセットトランジスタ Tc のゲートに共通に接続されたリセット線 7 が形成されている。さらに撮像領域には各画素列と対応して、同一列の単位セルの各増幅トランジスタ Tb の他端側に共通に接続された垂直信号線 VLIN と、同一列の単位セルの各リセットトランジスタ Tc の他端側及び各垂直選択トランジスタ Ta

の他端側に共通に接続された電源線 9 が形成されている。

撮像領域の一端側の外部には、それぞれ垂直信号線 VLIN の各一端側と接地電位との間に接続され、ゲートにバイアス電圧 VVL が供給される複数の負荷トランジスタ TL が水平方向に配列されている。一方撮像領域の他端側の外部には、例えば 2 個のトランジスタ TSH、TCLP と 2 個のコンデンサ Cc、Ct で形成されたノイズキャンセラ回路が、各画素列毎に水平方向に配置されている。またこれらノイズキャンセラ回路を介して、垂直信号線 VLIN の各他端側にそれぞれ水平選択トランジスタ TH が接続され、水平方向に配列されている。

【 0 0 1 7 】

さらに、水平選択トランジスタ TH の各他端には水平信号線 HLIN が共通に接続されており、この水平信号線 HLIN には水平リセットトランジスタ（図示せず）及び出力増幅回路 AMP が接続されている。なお上述したようなノイズキャンセラ回路は、それぞれ垂直信号線 VLIN の他端側に一端側が接続されたサンプルホールド用のトランジスタ TSH と、サンプルホールド用のトランジスタ TSH の他端側に一端側が接続された結合コンデンサ Cc と、結合コンデンサ Cc の他端側と接地電位との間に接続された電荷蓄積用のコンデンサ Ct と、これら 2 つのコンデンサ Cc、Ct の接続ノードに一端側が接続され、他端側にバイアス電圧 VVC が供給される電位クランプ用のトランジスタ TCLP からなり、ここでの 2 つのコンデンサ Cc、Ct の接続ノードに水平選択トランジスタ TH の一端側が接続されている。

撮像領域の外部には、撮像領域の複数の垂直選択線 6 を走査的に選択制御するための読み出し用の垂直シフトレジスタ（第 1 の行選択手段）2 及び電子シャッタ用の垂直シフトレジスタ（第 2 の行選択手段）20、垂直シフトレジスタ 2、20 の出力パルスを選択制御して撮像領域の各行の垂直選択線 6 を走査的に駆動するためのパルスセクタ（垂直駆動手段）2a、及び水平選択トランジスタ TH を走査的に駆動するための水平シフトレジスタ 3 が配置されている。また、外部入力パルス信号に基づき各種のパルス信号を所定のタイミングで生成し、パルスセクタ 2a、水平シフトレジスタ 3 やノイズキャンセラ回路等へ供給するタイミング発生回路 10、ノイズキャンセラ回路の電位クランプ用のトランジスタ TCLP の一端、負荷トランジスタ TL のゲート等へ供給される所定のバイアス電位を発

生するためのバイアス発生回路 1 1 が、撮像領域の外部に設けられている。

【 0 0 1 8 】

さらに図 1 に示される CMOS イメージセンサでは、外部入力パルス信号として可変の電子シャッタパルス信号 ϕ ESPA が適宜供給されるオア回路 1 2 が新たに設けられている。オア回路 1 2 には、位相が可変の電子シャッタパルス信号 ϕ ESPA とともに、タイミング発生回路 1 0 で生成される位相が固定の電子シャッタパルス信号 ϕ ESPB が入力される。これら可変の電子シャッタパルス信号 ϕ ESPA と固定の電子シャッタパルス信号 ϕ ESPB がオア回路 1 2 で合成され、生成した電子シャッタパルス信号 ϕ ESREAD はパルスセレクタ 2 a に出力される。なおこの CMOS イメージセンサにおいては、可変の電子シャッタパルス信号 ϕ ESPA は水平有効走査期間に必要な応じ供給され、固定の電子シャッタパルス信号 ϕ ESPB は水平帰線期間に常時生成される。

図 2 は、図 1 の CMOS イメージセンサに供給される外部入力パルス信号の波形図を示すものである。ここでは、CMOS イメージセンサを 1 フィールド = 1 / 3 0 H z の 3 0 H z V G A 方式で動作させる場合を示している。

外部入力パルス信号として、3 0 H z の ϕ VR、 ϕ ES 及び 1 5 . 7 k H z の ϕ HP がそれぞれフィールド周期、水平周期で供給されるのは、図 1 6 に示して説明した CMOS イメージセンサと同様である。なおタイミング発生回路に対し、図 2 には示していない 2 4 M H z のクロック信号 ϕ CK が、図 1、図 1 6 の CMOS イメージセンサとも供給されている。

【 0 0 1 9 】

図 2 においては、電子シャッタ動作を行なう際のフォトダイオードにおける電荷蓄積時間を変化させた場合について、外部入力パルス信号の波形図をそれぞれ (a)、(b)、(c) に示している。具体的には、図 2 (a) が電荷蓄積時間 1 H (水平周期) 以上、図 2 (b) が電荷蓄積時間 1 水平帰線期間以上 1 H (水平周期) 未満、図 2 (c) が電荷蓄積時間 1 水平帰線期間未満の例である。

ここで図 2 (b) では、水平有効走査期間に可変の電子シャッタパルス信号 ϕ ESPA を供給することで電荷蓄積時間を 1 H (水平周期) 未満に制御しており、可変の電子シャッタパルス信号 ϕ ESPA の位相を変化させることで、電荷蓄積時間は

さらに可変制御される。一方図 2 (a)、(c)においては、固定の電子シャッタパルス信号 ϕ ESPBにより信号蓄積タイミングを設定しており、可変の電子シャッタパルス信号 ϕ ESPAは常に“L”レベルであって実質的に使用されていない。

すなわちこれらは、固定の電子シャッタパルス信号 ϕ ESPBと読み出しパルス信号 ϕ ROREADに基づき、それぞれ信号蓄積タイミング及び信号読み出しタイミングが決定される点では共通するが、2本の垂直シフトレジスタ間の動作タイミングの差を異ならせていることにより、フォトダイオードの電荷蓄積時間が互いに相違するものである。このように図 2 (a)、(b)、(c)からは、電子シャッタ用の垂直シフトレジスタ 20 による画素行の選択動作の開始時期を決定する外部入力パルス信号 ϕ ESの供給タイミングの変更と、可変の電子シャッタパルス信号 ϕ ESPAの供給及びさらにそのタイミングの調整により、フォトダイオードの電荷蓄積時間を制御できることが判る。

【0020】

上述したような外部入力パルス信号のうち、30 Hz の ϕ VRは図示しないバッファ回路で整形されたうえで、読み出し用の垂直シフトレジスタ 2 に供給され、 ϕ ESは同様にバッファ整形された後、電子シャッタ用の垂直シフトレジスタ 20 に供給される。また 15.7 kHz の ϕ HPは、タイミング発生回路 10 と 2本の垂直シフトレジスタ 2、20 にそれぞれ供給されている。

これら外部入力パルス信号が供給されることで、読み出し用の垂直シフトレジスタ 2 は、その出力パルス信号 RO_i ($i = \dots, n, n+1$) を順次“H”レベルにしてパルスセクタ 2 a に入力し、電子シャッタ用の垂直シフトレジスタ 20 は、

その出力パルス信号 ES_i ($i = \dots, n, n+1$) を順次“H”レベルにしてパルスセクタ 2 a に入力する。一方、タイミング発生回路 10 は外部入力パルス信号に基づき、垂直選択パルス信号 ϕ ADRES、リセットパルス信号 ϕ RESET 及び読み出しパルス信号 ϕ ROREADを水平帰線期間に生成してパルスセクタ 2 a に入力し、ノイズキャンセラ回路におけるサンプルホールド用トランジスタ TSH の駆動信号 ϕ SH、及び電位クランプ用のトランジスタ TCLPの駆動信号 ϕ CLP をノイズキャンセラ回路に供給し、また水平シフトレジスタ 3 に水平リセット信号 HR

S、タイミング信号HCK を出力する。さらにここでは、タイミング発生回路 1 0 が水平帰線期間内に読み出しパルス信号 ϕ ROREADとは位相の異なる固定の電子シャッタパルス信号 ϕ ESPBを生成し、オア回路 1 2 に出力する。

【0 0 2 1】

パルスセクタ 2 a は、上述したような垂直選択パルス信号 ϕ ADRES 、リセットパルス信号 ϕ RESET 、読み出しパルス信号 ϕ ROREADあるいはオア回路 1 2 から出力される電子シャッタパルス信号 ϕ ESREADにそれぞれ同期するように、垂直選択線 6 の信号 (ϕ ADRES $_i$ パルス)、リセット線 7 の信号 (ϕ RESET $_i$ パルス)、読み取り線 4 の信号 (ϕ READ $_i$ パルス)を活性化する。具体的には、読み出し用の垂直シフトレジスタ 2 からの出力パルス信号 R0 $_i$ ($i = \dots, n, n+1$) が“H”レベルのとき、対応する画素行についてそれぞれ垂直選択パルス信号 ϕ ADRES 、リセットパルス信号 ϕ RESET 、読み出しパルス信号 ϕ ROREADに基づき、垂直選択線 6 の信号 (ϕ ADRES $_i$ パルス)、リセット線 7 の信号 (ϕ RESET $_i$ パルス)、読み取り線 4 の信号 (ϕ READ $_i$ パルス)を活性化する。

また、電子シャッタ用の垂直シフトレジスタ 2 0 からの出力パルス信号 ES $_i$ ($i = \dots, n, n+1$) が“H”レベルの場合には、対応する画素行についてそれぞれリセットパルス信号 ϕ RESET 、電子シャッタパルス信号 ϕ ESREADに基づき、リセット線 7 の信号 (ϕ RESET $_i$ パルス)、読み取り線 4 の信号 (ϕ READ $_i$ パルス)のみ活性化する。一方、垂直選択パルス信号 ϕ ADRES が入力されても、垂直選択線 6 の信号 (ϕ ADRES $_i$ パルス)は活性化しない。なお図 3 に、このようなパルスセクタ 2 a の回路構成の一例を示す。

【0 0 2 2】

図 4 は、図 1 の CMOS イメージセンサの動作の一例を示すタイミング波形図である。各フォトダイオード PD への入射光が光電変換されて生じた信号電荷は、フォトダイオード PD 内に蓄積される。ここではまず水平帰線期間において、タイミング発生回路 1 0 で生成されたりセットパルス信号 ϕ RESET に同期するように、2 本の垂直シフトレジスタ 2、2 0 により選択された画素行についてリセット線 7 の信号を活性化する。こうして、増幅トランジスタ T $_b$ のゲート電圧を基準電圧に一定期間リセットし、垂直信号線 VLIN に基準電圧を出力する。なお、図 4

中の制御信号 H B L K により、1 水平期間が水平帰線期間と水平有効走査期間とに区分される。

次いで、所望の一行分の単位セルにおけるフォトダイオード PD の蓄積電荷の読み出しに備え対応の垂直選択線 6 を選択するために、タイミング発生回路 1 0 の生成した垂直選択パルス信号 ϕ ADRES に基づき、読み出し用の垂直シフトレジスタ 2 により選択された選択対象行の垂直選択線 6 の信号を活性化して、一行分の垂直選択トランジスタ Ta をオンにする。こうして選択された一行分の単位セルにつき、垂直選択トランジスタ Ta を介して電源電位（例えば 3.3 V）が供給される増幅トランジスタ Tb と負荷トランジスタ TL からなるソースフォロワ回路を動作させる。

【 0 0 2 3 】

次に、2 本の垂直シフトレジスタ 2、2 0 により選択された画素行の単位セルにおいて、リセットパルス信号 ϕ RESET に同期するようにリセット線 7 の信号を再度活性化することで、増幅トランジスタ Tb のゲート電圧を基準電圧に一定期間リセットし、垂直信号線 VLIN に基準電圧を出力する。このとき、一行分の単位セルの増幅トランジスタ Tb のゲート電位のばらつきに起因する各垂直信号線 VLIN のリセット電位の不均一を打ち消すために、予めノイズキャンセラ回路におけるサンプルホールド用トランジスタ TSH の駆動信号（ ϕ SH パルス）を活性化しておく。さらに、垂直信号線 VLIN に基準電圧が出力された後電位クランプ用のトランジスタ TCLP の駆動信号（ ϕ CLP パルス）を一定時間活性化することにより、ノイズキャンセラ回路の 2 つのコンデンサ Cc、Ct の接続ノードに基準電圧を設定する。

次いで、リセット線 7 の信号を非活性にした後、タイミング発生回路 1 0 の生成した読み出しパルス信号 ϕ ROREAD に基づき、選択対象行の読み取り線 4 を選択してその信号を活性化する。こうして読み出しトランジスタ Td をオンにし、フォトダイオード PD の蓄積電荷をその検出部 DN たる増幅トランジスタ Tb のゲートに読み出すことによりゲート電位を変化させる。増幅トランジスタ Tb は、ゲート電位の変化量に応じた信号電圧を対応する垂直信号線 VLIN 及びノイズキャンセラ回路に出力する。なおここでの読み出しパルス信号 ϕ ROREAD は、上述したような従来

のCMOSイメージセンサで使用されていた読み出しパルス信号 ϕ READと、実質的に同一のものである。

【0024】

この後、ノイズキャンセラ回路における ϕ SHパルスをオフにすることにより、出力された基準電圧と信号電圧の差分に相当する信号成分、換言すればノイズが除去された信号電圧を、水平有効走査期間を通じて電荷蓄積用のコンデンサ C_t に蓄積する。一方垂直選択線6の信号を非活性にして、垂直選択トランジスタ T_a をオフ状態に制御し単位セルを非選択とすることで、撮像領域とノイズキャンセラ回路を電氣的に分離する。

引き続き水平有効走査期間には、水平選択トランジスタ T_H の駆動信号(ϕ Hパルス)を順次活性化することで水平選択トランジスタ T_H を順次オンさせ、ノイズキャンセラ回路における2つのコンデンサ C_c 、 C_t の接続ノード、すなわち信号保存ノードの信号電圧を水平信号線 $HLIN$ に順次読み出し、出力増幅回路AMPで増幅した後出力する。なおノイズキャンセラ回路を利用したノイズ除去動作は、1水平線の読み出し動作毎に行なわれる。

ここでの動作では、図16に示したCMOSイメージセンサの動作例とは異なり、同一水平帰線期間内に所定のリセット線の信号が2回活性化されており、換言すれば増幅トランジスタのゲート電圧が2度リセットされる。これは図1のCMOSイメージセンサは、互いに位相の異なる読み出しパルス信号 ϕ ROREAD、及び電子シャッタパルス信号 ϕ ESREADに基づき、それぞれ特定の画素行の読み取り線に読み出し駆動信号を供給し、1フィールド期間中に2度フォトダイオードから蓄積電荷を排出させ電子シャッタ動作を行なっていることに起因している。

【0025】

すなわち図4においては、信号読み出しパルス信号 ϕ ROREADと固定の電子シャッタパルス信号 ϕ ESPBが供給される前に、いずれもタイミング発生回路からパルスセレクタにリセットパルス信号 ϕ RESETを出力させている。こうして、信号蓄積タイミング及び信号読み出しタイミングでフォトダイオードの蓄積電荷が排出される前に、増幅トランジスタのゲート電圧が基準電圧にリセットされるような制御を行なっている。

なおこの場合、図 4 中に示される通り、1 回目のリセットパルス信号 ϕ RESET と固定の電子シャッタパルス信号 ϕ ESPB との位相差、及び 2 回目のリセットパルス信号 ϕ RESET と信号読み出しパルス信号 ϕ ROREAD との位相差をほぼ等しく設定している。また、図 2 (c) に示されるタイミングで外部入力パルス信号が供給された場合にも、信号蓄積タイミングでフォトダイオードから排出された蓄積電荷が垂直信号線 VLIN に読み出されないように、電子シャッタパルス信号 ϕ ESREAD は、垂直選択パルス信号 ϕ ADRES により選択対象行の垂直選択線 6 の信号が活性化される期間外に供給されている。具体的には、可変の電子シャッタパルス信号 ϕ ESPA を水平有効走査期間に供給し、水平帰線期間にタイミング発生回路から供給される固定の電子シャッタパルス信号 ϕ ESPB については、垂直選択パルス信号 ϕ ADRES が立ち上がる前に立ち下がるような制御を行なっている。

【 0 0 2 6 】

ここで、図 1 の CMOS イメージセンサにおけるパルスセレクタのタイミング波形図を図 5 ～ 図 7 に示し、CMOS イメージセンサの動作をさらに説明する。なお図 5 ～ 図 7 は、それぞれ図 2 (a)、(b)、(c) に示すような外部入力パルス信号を CMOS イメージセンサに供給した場合に対応しており、図 5 は電荷蓄積時間 1 H (水平周期) 以上、図 6 は電荷蓄積時間 1 水平帰線期間以上 1 H (水平周期) 未満、図 7 は電荷蓄積時間 1 水平帰線期間未満で電子シャッタ動作を行なうとき、撮像領域に供給される信号の波形図を示している。

図 5 においては、電子シャッタ用の垂直シフトレジスタによる動作を読み出し用の垂直シフトレジスタに対し 1 水平周期、すなわち 1 画素行分だけ先行させており、図 1 8 に示した波形図と対応している。パルスセレクタは、2 本の垂直シフトレジスタからの各出力パルス信号 $R0i$ 、 ESi に基づいて、連続する水平期間に読み出し駆動信号 ϕ READi を 2 回各画素行の読み取り線に出力している。このとき、連続する前後の水平期間において読み出し駆動信号 ϕ READi の位相が異なり、フォトダイオードにおける電荷蓄積時間は 1 H (水平周期) より多少長くなる。

【 0 0 2 7 】

また図 6 では図示される通り、読み出し駆動信号 ϕ READi を各画素行の読み

取り線に 3 回出力しており、図 5 の場合には実質的に使用されていない可変の電子シャッタパルス信号 ϕ ESPA を供給することで、読み出し駆動信号 ϕ READi としても 1 回分追加されて読み取り線に出力されている。具体的には、図 5 に示した通り水平帰線期間に出力される読み出し駆動信号 ϕ READi の 2 つのパルスの間の水平有効走査期間に、読み出し駆動信号 ϕ READi の 3 つ目のパルスが出力される。

ここでのフォトダイオードの電荷蓄積時間は、可変の電子シャッタパルス信号 ϕ ESPA に基づき水平有効走査期間に出力される読み出し駆動信号 ϕ READi のタイミングから、この水平有効走査期間に続く水平帰線期間での信号読み出しタイミングまでであり、1 H（水平周期）より短くすることが可能となる。しかも、電子シャッタパルス信号 ϕ ESPA の供給タイミングは、水平有効走査期間の開始直後から水平有効走査期間の終了直前までの間で可変とされているので、フォトダイオードの電荷蓄積時間を概ね 1 水平帰線期間以上 1 H（水平周期）未満の範囲内で自由に設定できる。

【 0 0 2 8 】

なお、上述したように読み出し駆動信号 ϕ READi を水平有効走査期間にも出力して電子シャッタ動作を行なう場合は、フォトダイオードの蓄積電荷を排出する際に、水平帰線期間に出力されるリセットパルス信号 ϕ RESET に基づき増幅トランジスタのゲート電圧を基準電圧にリセットする動作からの期間が長く、リーク電流に起因した電位変動がリセット後に生じやすい。然るにここでは、まず各画素行に対して同一水平帰線期間内で 2 回活性化されるリセット線の信号 ϕ RESETi の 1 回目、及び信号読み出しタイミングまでに計 3 回出力される読み出し駆動信号 ϕ READi の 1 つ目のパルスが連続して供給されるので、これ以前にフォトダイオードに蓄積された電荷を一旦この時点で排出している。従って、水平有効走査期間に設定された信号蓄積タイミングでフォトダイオードから蓄積電荷を排出する際には、フォトダイオードにおける蓄積電荷量が少なく、増幅トランジスタのゲート電圧のリセット後に多少の電位変動が発生したとしても、フォトダイオードの蓄積電荷を取り残すことなく十分に排出することができる。

さらに図 7 においては、電子シャッタ用の垂直シフトレジスタによる動作を読

み出し用の垂直シフトレジスタの動作に対して先行させず、電子シャッタ用及び読み出し用の垂直シフトレジスタが各水平期間で同一の画素行を選択動作させるような制御を行なっている。また可変の電子シャッタパルス信号 ϕ ESPA は、実質的に使用されていない。この結果パルスセクタは、互いに位相の異なるパルス信号 ϕ ROREAD、 ϕ ESREAD、及び 2 本の垂直シフトレジスタからの各出力パルス信号 RO_i 、 ES_i に基づいて、選択画素行の読み取り線に対し水平帰線期間に読み出し駆動信号 ϕ READ $_i$ を 2 度出力する。従ってフォトダイオードにおける電荷蓄積時間は、図 5 に示される場合に比べて 1 H（水平周期）分短縮され、フォトダイオードの電荷蓄積時間を 1 水平帰線期間未満とした電子シャッタ動作が可能となる。

【0029】

すなわち上述したような CMOS イメージセンサでは、フォトダイオードにおける最小の電荷蓄積時間を 1 H（水平周期）未満で、かつ可変にすることができる。具体的に 30 Hz VGA 方式の場合で、電荷蓄積時間 1 H 相当の 1 フィールドの $1/525$ 電子シャッタ動作から $1/5000 \sim 1/20000$ 高速電子シャッタ動作まで実施することが可能である。

次に本発明の固体撮像装置として、増幅型 CMOS イメージセンサの他の例の回路図を図 8 に示す。また図 9 に、図 8 中のパルスセクタ 2 a の回路構成の一例を示す。図 8 に示した増幅型 CMOS イメージセンサは、1 水平周期内で互いに位相の異なる 2 種のパルス信号 ϕ ROREAD、 ϕ ESREAD を常時生成するのではなく、フォトダイオードの電荷蓄積時間を 1 H（水平周期）未満としたい場合に限り、水平帰線期間内にタイミング発生回路 10 を 2 回動作させ、読み出しパルス信号 ϕ READ を 2 度 “H” レベルとするものである。

具体的には、図 1 に示した増幅型 CMOS イメージセンサから、可変の電子シャッタパルス信号 ϕ ESPA と固定の電子シャッタパルス信号 ϕ ESPB に基づき電子シャッタパルス信号 ϕ ESREAD を生成するオア回路が省略されている。一方その代わりに、それぞれ読み出し用の垂直シフトレジスタ 2、及び電子シャッタ用の垂直シフトレジスタ 20 による画素行の選択動作の開始時期を決定する外部入力パルス信号 ϕ VR、 ϕ ES が入力され、これらの位相が一致したことを検出する同位相検

出回路 1 3 と、この同位相検出回路 1 3 の出力、水平選択トランジスタ TH の駆動信号 (ϕH パルス) のうち最後に水平シフトレジスタ 3 から出力されるパルス信号 ϕH_{end} 、及び水平周期で供給される外部入力パルス信号 ϕHP に基づいてタイミング信号 ϕHPT を生成し、タイミング発生回路 1 0 に出力する論理回路 1 4 が設けられている。さらに図 9 に示される通り、パルスセクタ 2 a の回路構成が図 3 に示すものから変更されている。

【 0 0 3 0 】

同位相検出回路 1 3 は、2 つの外部入力パルス信号 ϕVR 、 ϕES が入力されるナンド回路 NAND と、NAND 回路 NAND の出力が D 入力端子に供給され、外部入力パルス信号 ϕVR が CK クロック入力端子に供給されるフリップフロップ回路 FF からなる。また論理回路 1 4 は、フリップフロップ回路 FF の Q 出力端子からの出力、及び水平シフトレジスタ 3 から最後に出力されるパルス信号 ϕH_{end} が入力されるアンド回路 AND と、アンド回路 AND の出力と外部入力パルス信号 ϕHP が入力されるオア回路 OR とで形成されている。

すなわちここでの同位相検出回路 1 3 においては、同時に “L” レベルの外部入力パルス信号 ϕVR 、 ϕES が入力されたとき、ナンド回路 NAND の “H” レベルの出力がフリップフロップ回路 FF の D 入力端子に入力される。フリップフロップ回路 FF は、CK クロック入力端子に供給される外部入力パルス信号 ϕVR がその後 “H” レベルとなっている 1 フィールド期間、入力された “H” レベルを保持し、外部入力パルス信号 ϕVR 、 ϕES の位相一致検出出力である “H” レベルの信号を論理回路 1 4 に出力する。

従ってこの場合論理回路 1 4 は、外部入力パルス信号 ϕHP の入力タイミング及び水平シフトレジスタ 3 のパルス信号 ϕH_{end} の出力タイミングでそれぞれタイミング信号 ϕHPT を生成し、タイミング発生回路 1 0 に供給する。一方、外部入力パルス信号 ϕVR 、 ϕES の位相不一致検出出力である “L” レベルの信号が同位相検出回路 1 3 から出力されるフィールド期間には、論理回路 1 4 は外部入力パルス信号 ϕHP が入力されたときのみタイミング信号 ϕHPT を生成する。なお図 8 に示される CMOS イメージセンサでは、読み出し用及び電子シャッタ用の垂直シフトレジスタ 2、2 0 で画素行を順次選択する際のシフト動作は、パルス信

号 ϕ HPにより制御するのではなく、各水平期間における水平帰線期間の動作が終了した後、例えばタイミング発生回路 1 0 が生成する水平リセット信号 HRS に同期するように行なっている。

【 0 0 3 1 】

さらに図 1 0 は、図 8 の CMOS イメージセンサの動作の一例を示すタイミング波形図である。図示される通り、フォトダイオードの電荷蓄積時間が 1 H（水平周期）以上である図 1 0（a）においては、タイミング信号 ϕ HPT は外部入力パルス信号 ϕ HPと対応するように、各水平帰線期間で 1 回生成される。従って各画素行の読み取り線には、読み出しパルス信号 ϕ READに同期した駆動信号が、それぞれ読み出し用及び電子シャッタ用の垂直シフトレジスタからの出力パルス信号 $R0i$ 、 ESi に対応して、水平周期内で互いに同位相の関係で 2 度出力される。

このとき各画素行でのフォトダイオードの電荷蓄積時間は、図 1 8 に示したタイミングで電子シャッタ動作を行なう場合と全く同様に、電子シャッタ用の垂直シフトレジスタによる動作を読み出し用の垂直シフトレジスタに対し m 画素行（ m は整数）先行させたとなると $m \times H$ となる。ただしここでは、外部入力パルス信号 ϕ HPは各水平帰線期間の半ばに入力され、タイミング発生回路はタイミング信号 ϕ HPT に基づき、垂直選択パルス信号 ϕ ADRES、リセットパルス信号 ϕ RESET、読み出しパルス信号 ϕ READ、及びノイズキャンセラ回路に対する駆動信号 ϕ SH、 ϕ CLP を、外部入力パルス信号 ϕ HP入力後の各水平帰線期間の後半に出力する。

【 0 0 3 2 】

これに対し図 1 0（b）に示す場合においては、水平シフトレジスタのパルス信号 ϕ Hendに同期して各水平帰線期間の開始時期に生成されるタイミング信号 ϕ HPT に基づき、各水平帰線期間の前半にも、タイミング発生回路から垂直選択パルス信号 ϕ ADRES、リセットパルス信号 ϕ RESET、読み出しパルス信号 ϕ READ、及びノイズキャンセラ回路に対する駆動信号 ϕ SH、 ϕ CLP が出力される。また、外部入力パルス信号 ϕ VR、 ϕ ESの位相が一致しているので、読み出し用及び電子シャッタ用の垂直シフトレジスタは、各水平期間でともに同一の画素行を

選択動作させるような制御を行なっている。

こうしてここでは、タイミング信号 ϕ HPT が 1 水平帰線期間当り 2 回供給されることに起因して、読み出し用及び電子シャッタ用の垂直シフトレジスタで同時に選択される各画素行について、上述したような各種の信号が図 10 (b) に示される通り、水平帰線期間の前後半で繰り返しタイミング発生回路から出力される。従ってこのとき、水平帰線期間の前半にフォトダイオードから蓄積電荷が排出され、同じ水平帰線期間の後半で信号の読み出し動作が行なわれるので、フォトダイオードの電荷蓄積時間をほぼ水平帰線期間の $1/2$ とすることができる。しかも図 8 に示す CMOS イメージセンサにおいては、外部入力パルス信号や水平シフトレジスタからの出力信号をタイミング発生回路で有効に利用して各種の信号を生成させることで、例えばパルスセクタ等における著しい回路規模の増大を招くことなく、低コストで非常に高速の電子シャッタ動作が実現できる。

【0033】

さらに本発明の固体撮像装置として、増幅型 CMOS イメージセンサの別の例の回路図を図 11 に示す。この例は、ノイズ除去機能を備えた AD 変換回路 21 を増幅型 CMOS イメージセンサに内蔵させており、複数の垂直信号線 VLIN に伝送されたアナログ信号を AD 変換回路 21 でデジタル信号に変換したうえで外部に出力するというものである。以下、図 1 に示した CMOS イメージセンサと異なる点を中心に説明する。

すなわち、図 11 に示される CMOS イメージセンサにおいては、垂直信号線 VLIN の端部が、AD 変換回路 21 内で水平方向に配置された比較器 CMP に各画素列毎に接続されている。比較器 CMP は、垂直信号線 VLIN からのアナログ信号と基準信号発生回路 22 が出力する参照信号 VREF との電圧比較動作を行なう。この参照信号 VREF は、基本的には時間の経過とともに電圧が上昇していくランプ波であり、比較器 CMP は、ノイズが除去された信号電圧と参照信号 VREF の電圧とが均衡するタイミングをカウントし、そのカウント値をラッチすることで、アナログ信号を 10 ビットのデジタル信号に変換する。なお比較器 CMP は、図 1 中のノイズキャンセラ回路と同様に基準電圧と信号電圧の差分を得るため、図示しないサンプルホールド用のコンデンサを有しており、ここでノイズが除去された

信号電圧が生成される。

【 0 0 3 4 】

A/D変換回路 2 1 内には、さらに各画素列毎の比較器CMP とそれぞれ対応するように、ラッチ回路LATCH 及びスイッチ回路SWが水平方向に配列されている。ラッチ回路LATCH は、比較器CMP から出力される 1 0 ビットのデジタル信号を保持し、スイッチ回路SWは、水平シフトレジスタ 3 から供給される駆動信号 (ϕH パルス) により順次オンすることで、各ラッチ回路LATCH の保持したデジタル信号をそのビット数分の本数の出力信号線DATA0 ～DATA9に順次読み出す。

上述したようなA/D変換回路 2 1 及び基準信号発生回路 2 2 には、タイミング信号発生回路 1 0 からカウント信号ADCK、水平同期信号HAD が出力され、その動作が制御されている。さらにタイミング発生回路 1 0 においては、図示される通り、フィールド周期あるいは水平周期で供給される外部入力パルス信号 ϕVR 、 ϕES 、 ϕHP が入力された後、内部パルス信号 ϕVRI 、 ϕESI 、 ϕHPI を生成して 2 本の垂直シフトレジスタ 2、2 0 に出力している。ただしここでは、図 1 に示したCMOSイメージセンサと同様、タイミング発生回路 1 0 で内部パルス信号 ϕVRI 、 ϕESI 、 ϕHPI を生成させることなく、外部入力パルス信号 ϕVR 、 ϕES 、 ϕHP を直接 2 本の垂直シフトレジスタ 2、2 0 に入力して、その動作を制御しても構わない。また必要に応じて、コマンド信号が外部から入力されるコマンドデコーダ回路をタイミング発生回路 1 0 に接続し、コマンドデコーダ回路の出力信号でタイミング発生回路 1 0 やA/D変換回路 2 1 のゲイン、オフセット等を調整するようにしてもよい。

【 0 0 3 5 】

図 1 2 は、図 1 1 のCMOSイメージセンサの動作の一例を示すタイミング波形図である。なお図 1 2 には、図 6 に示す場合と同様、特に可変の電子シャッタパルス信号 $\phi ESPA$ を外部から供給し、電荷蓄積時間 1 水平帰線期間以上 1 H (水平周期) 未満の電子シャッタ動作を行なう例を示している。

すなわち図 1 2 においては、可変の電子シャッタパルス信号 $\phi ESPA$ に基づき第 $(m-1)$ の水平期間の水平有効走査期間に出力される読み出し駆動信号 $\phi READ_i$ のタイミングから、その直後の第 m の水平期間の水平帰線期間での信号読み

出しタイミングまでが、所定の画素行（ n ライン）のフォトダイオードの電荷蓄積時間となっている。ここでの信号読み出しタイミングまでで、この所定の画素行についてノイズが除去された信号電圧が、A/D変換回路21の各比較器CMP内に生成される。

次いで、これに続く第 m の水平期間の水平有効走査期間に、水平同期信号HADに基づいて基準信号発生回路から出力される参照信号VREFの電圧が一定レベルで上昇し、各画素列毎に比較器CMPがノイズが除去された信号電圧との比較動作を行なう。具体的に比較器CMPは、2つの電圧が均衡するタイミングをタイミング発生回路からのカウント信号ADCKに基づきカウントし、そのカウント値をA/D変換された10ビットのデジタルデータとしてラッチする。

【0036】

この後第 $(m+1)$ の水平期間の水平帰線期間で、次の選択対象行におけるフォトダイオードからの蓄積電荷の読み出しと並行しながら、比較器CMPのラッチデータが水平同期信号HADに同期してラッチ回路LATCHに入力され、保持される。引き続いて第 $(m+1)$ の水平期間の水平有効走査期間に、水平シフトレジスタ3のシフト動作により、水平方向に配列された各ラッチ回路LATCHの保持したデジタル信号がスイッチ回路SWを介して出力信号線DATA0～DATA9に順次読み出される。また、次の選択対象行の信号電圧と基準信号発生回路からの参照信号VREFの電圧との比較動作の結果に応じて、比較器CMPのラッチデータが更新される。

なお図12においては、タイミング信号発生回路10からのカウント信号ADCKによる制御に基づき、電子シャッタパルス信号 ϕ ESPAの入力前後を通じて、A/D変換回路及び基準信号発生回路の動作を一時的に停止させている。これは、水平有効走査期間に可変の電子シャッタパルス信号 ϕ ESPAが入力されると、このとき電源電圧や接地電圧の揺れが発生し、ひいてはアナログ信号中へのノイズの飛び込みが生じるおそれがあることを考慮したためである。

【0037】

例えば図1に示すようなCMOSイメージセンサの場合、水平有効走査期間では1水平線分のアナログ信号を水平信号線BLINに順次読み出しており、ここで外

部からパルス信号が供給されると、電源電圧や接地電圧の揺れに起因してアナログ信号にノイズが飛び込む可能性がある。これに対し図 1 1 に示す CMOS イメージセンサにおいては、アナログ信号をデジタル信号に AD 変換したうえで、水平有効走査期間に 1 水平線分のデジタル信号を出力信号線 DATA0 ~ DATA9 に読み出すので、こうしたデジタル信号に対しては、電源電圧や接地電圧の揺れによるノイズの飛び込みはほとんど無視することができる。一方 AD 変換前のアナログ信号に関しても、電子シャッタパルス信号 ϕ ESPA の入力前後で AD 変換回路及び基準信号発生回路の動作を一時的に停止させることで、電源電圧や接地電圧の揺れに起因するノイズの飛び込みを回避することが可能となる。

なお、AD 変換回路を内蔵していない図 1 に示したような CMOS イメージセンサについても、アナログ信号中へのノイズの飛び込みの影響を補正する補正回路を設けることや、互いに電氣的に分離された電源、接地電圧系の回路ブロックを混在させること等で、電子シャッタパルス信号 ϕ ESPA 入力時の電源電圧や接地電圧の揺れによるノイズの飛び込みの回避が可能である。また各 CMOS イメージセンサにおいて、撮像領域中の各単位セルは、4 個のトランジスタと 1 個のフォトダイオードからなる 1 画素 / 1 ユニットのものに特に限定されず、5 個のトランジスタと 2 個のフォトダイオードからなる 2 画素 / 1 ユニットの単位セルを形成しても構わない。さらに単位セルとしては、光電変換手段を積層した積層型であってもよく、その他本発明の主旨を逸脱しない範囲内で種々変形して実施することができる。

【0 0 3 8】

【発明の効果】

以上詳述したように本発明の固体撮像装置によれば、フォトダイオードにおける電荷蓄積時間が 1 H（水平周期）未満の非常に高速の電子シャッタ動作が可能であり、入射光量が極めて多い環境下でも高輝度側のクリップされない良好な画像を得ることができる。

【図面の簡単な説明】

【図 1】

本発明の固体撮像装置としての増幅型 CMOS イメージセンサの一例を示す回

路図である。

【図 2】

(a)、(b)、(c)は、図 1 の CMOS イメージセンサに供給される外部入力パルス信号の波形図である。

【図 3】

図 1 中のパルスセレクタの一例を示す回路図である。

【図 4】

図 1 の CMOS イメージセンサの動作の一例を示すタイミング波形図である。

【図 5】

図 1 の CMOS イメージセンサにおけるパルスセレクタのタイミング波形図である。

【図 6】

図 1 の CMOS イメージセンサにおけるパルスセレクタのタイミング波形図である。

【図 7】

図 1 の CMOS イメージセンサにおけるパルスセレクタのタイミング波形図である。

【図 8】

本発明の固体撮像装置としての増幅型 CMOS イメージセンサの他の例を示す回路図である。

【図 9】

図 8 中のパルスセレクタの一例を示す回路図である。

【図 1 0】

図 8 の CMOS イメージセンサの動作の一例を示すタイミング波形図である。

【図 1 1】

本発明の固体撮像装置としての増幅型 CMOS イメージセンサの別の例を示す回路図である。

【図 1 2】

図 1 1 の CMOS イメージセンサの動作の一例を示すタイミング波形図である

【図 1 3】

従来の増幅型CMOSイメージセンサを示す回路図である。

【図 1 4】

図 1 3 のCMOSイメージセンサの動作の一例を示すタイミング波形図である。

【図 1 5】

図 1 3 のCMOSイメージセンサにおける垂直シフトレジスタのタイミング波形図である。

【図 1 6】

電子シャッタ動作が可能な増幅型CMOSイメージセンサを示す回路図である。

【図 1 7】

図 1 6 のCMOSイメージセンサにおける垂直シフトレジスタのタイミング波形図である。

【図 1 8】

図 1 6 のCMOSイメージセンサにおけるパルスセレクタのタイミング波形図である。

【符号の説明】

- 1 …単位セル
- 2、2 0 …垂直シフトレジスタ
- 2 a …パルスセレクタ
- 3 …水平シフトレジスタ
- 4 …読み取り線
- 6 …垂直選択線
- 7 …リセット線
- 1 0 …タイミング発生回路
- 1 1 …バイアス発生回路
- 1 2 …オア回路

1 3 ... 同位相検出回路

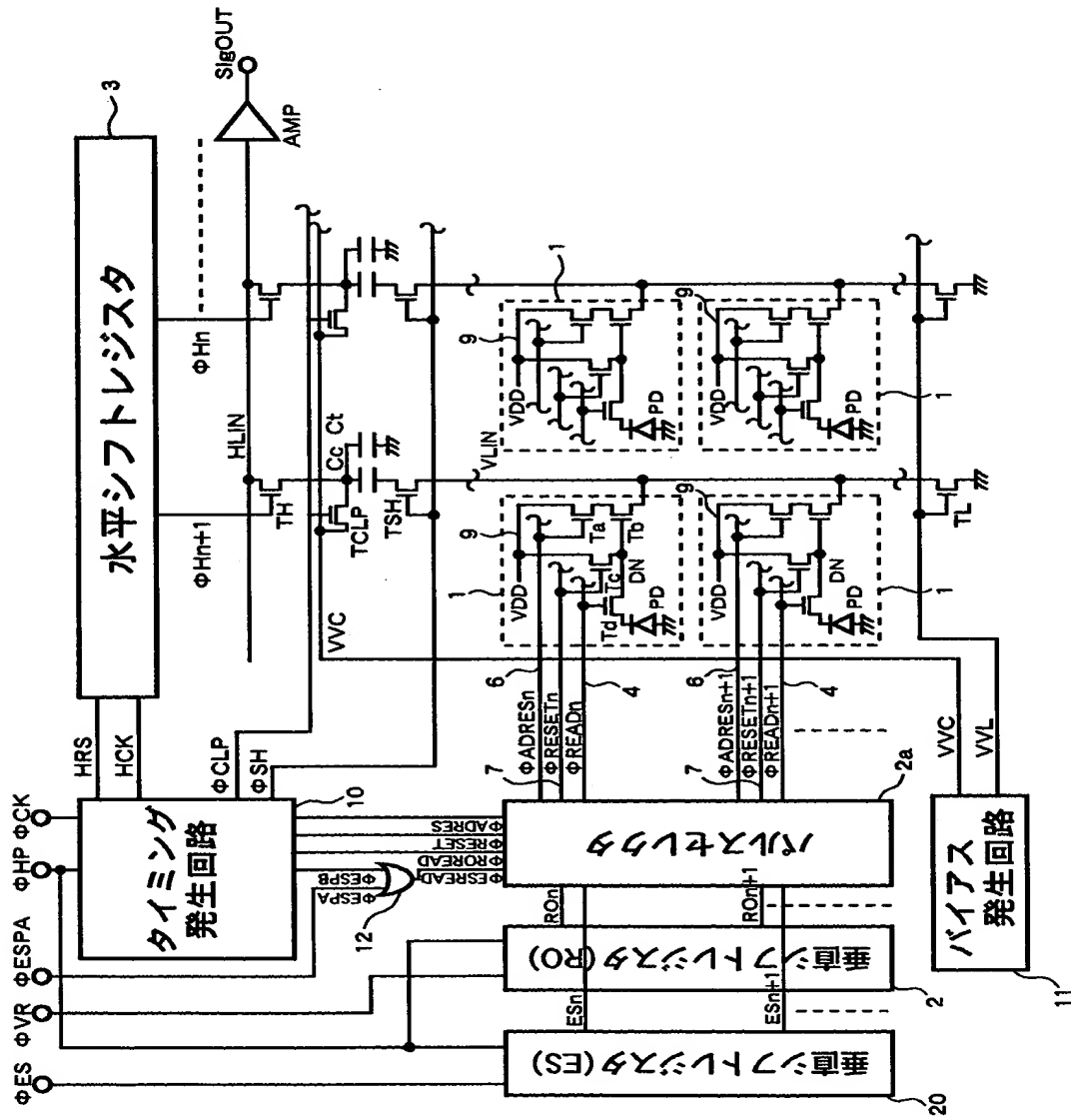
1 4 ... 論理回路

2 1 ... A D 変換回路

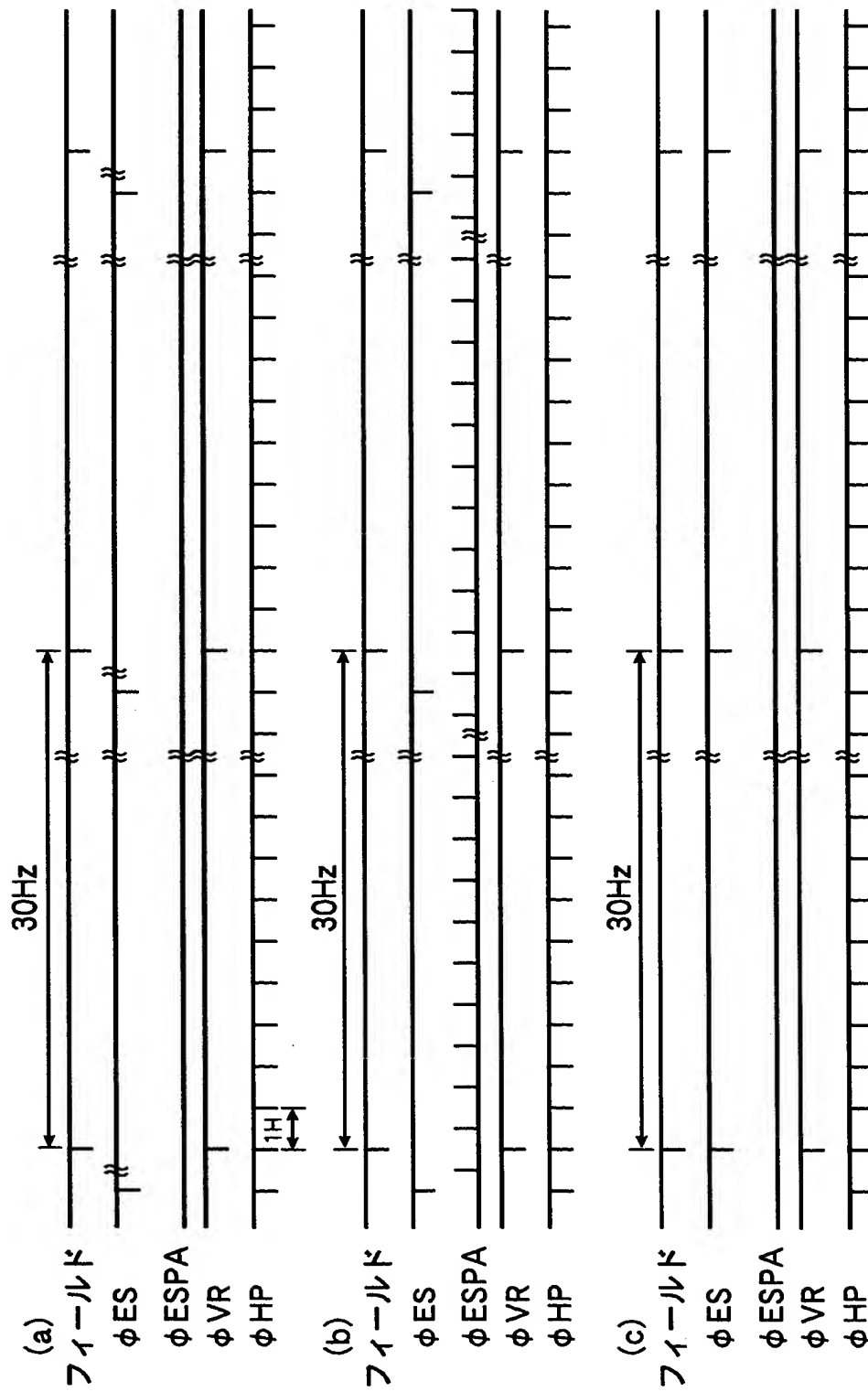
2 2 ... 基準信号発生回路

【書類名】 図面

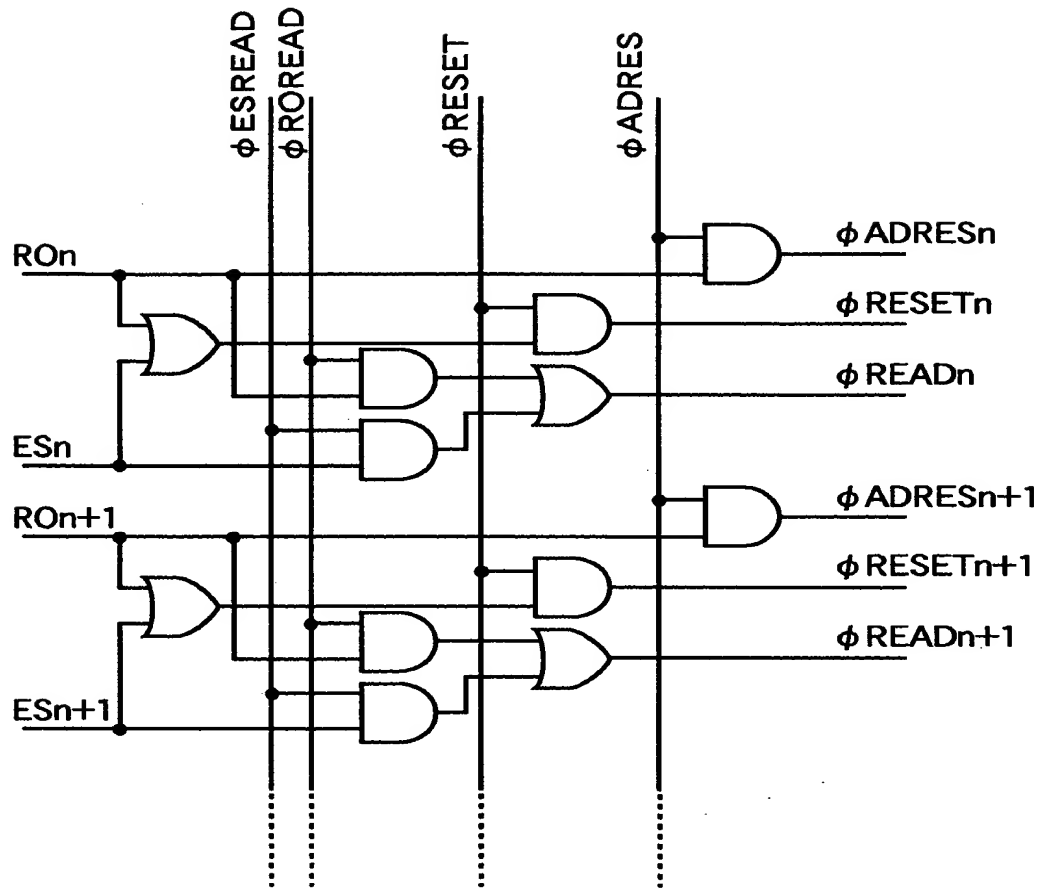
【図 1】



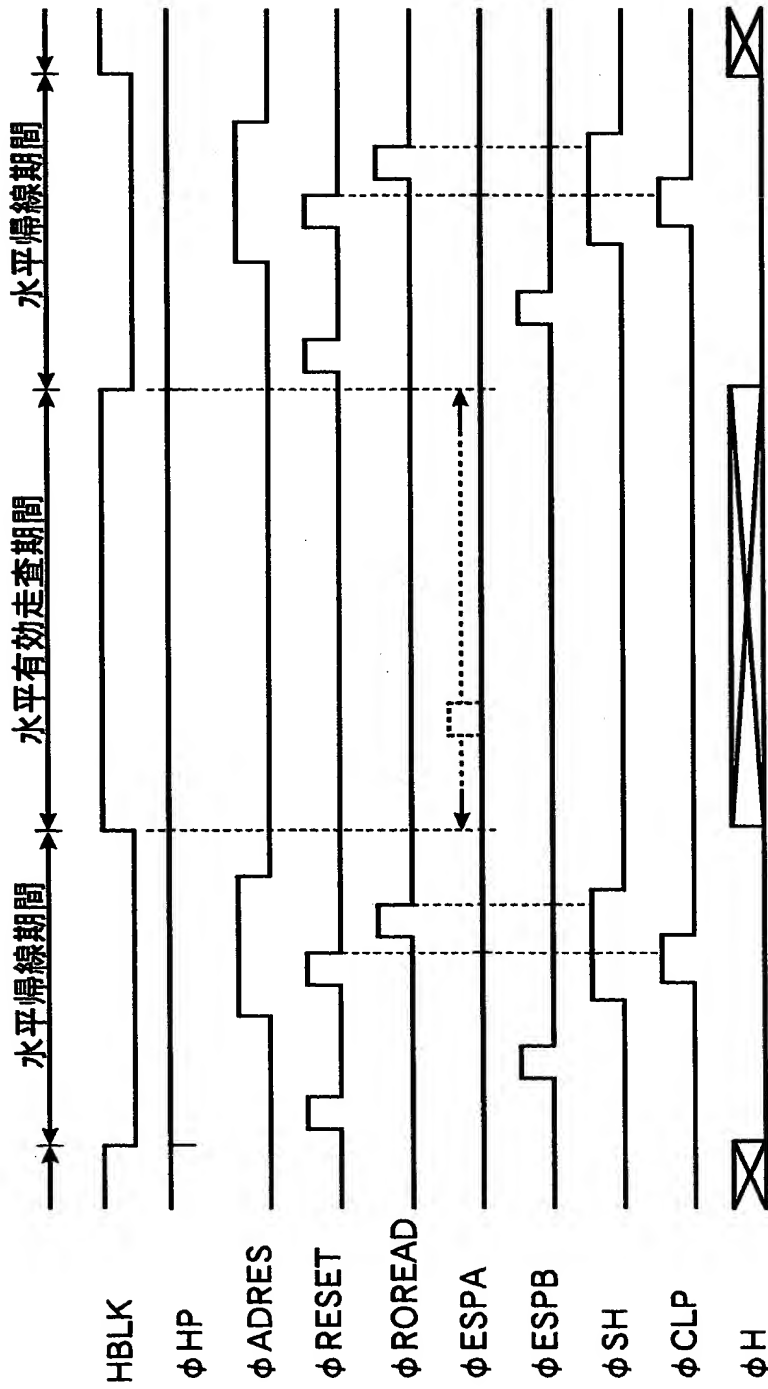
【図 2】



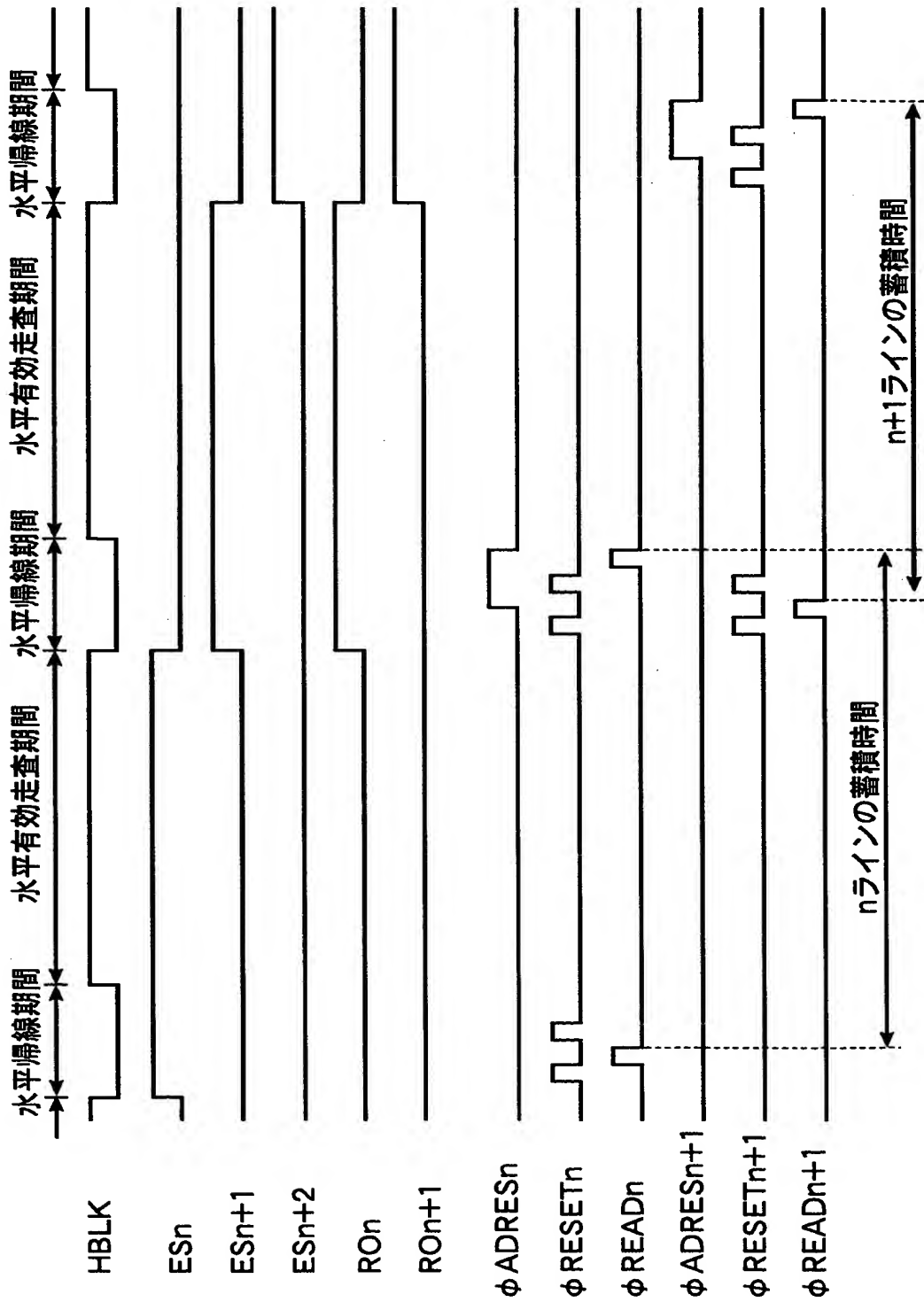
【図 3】



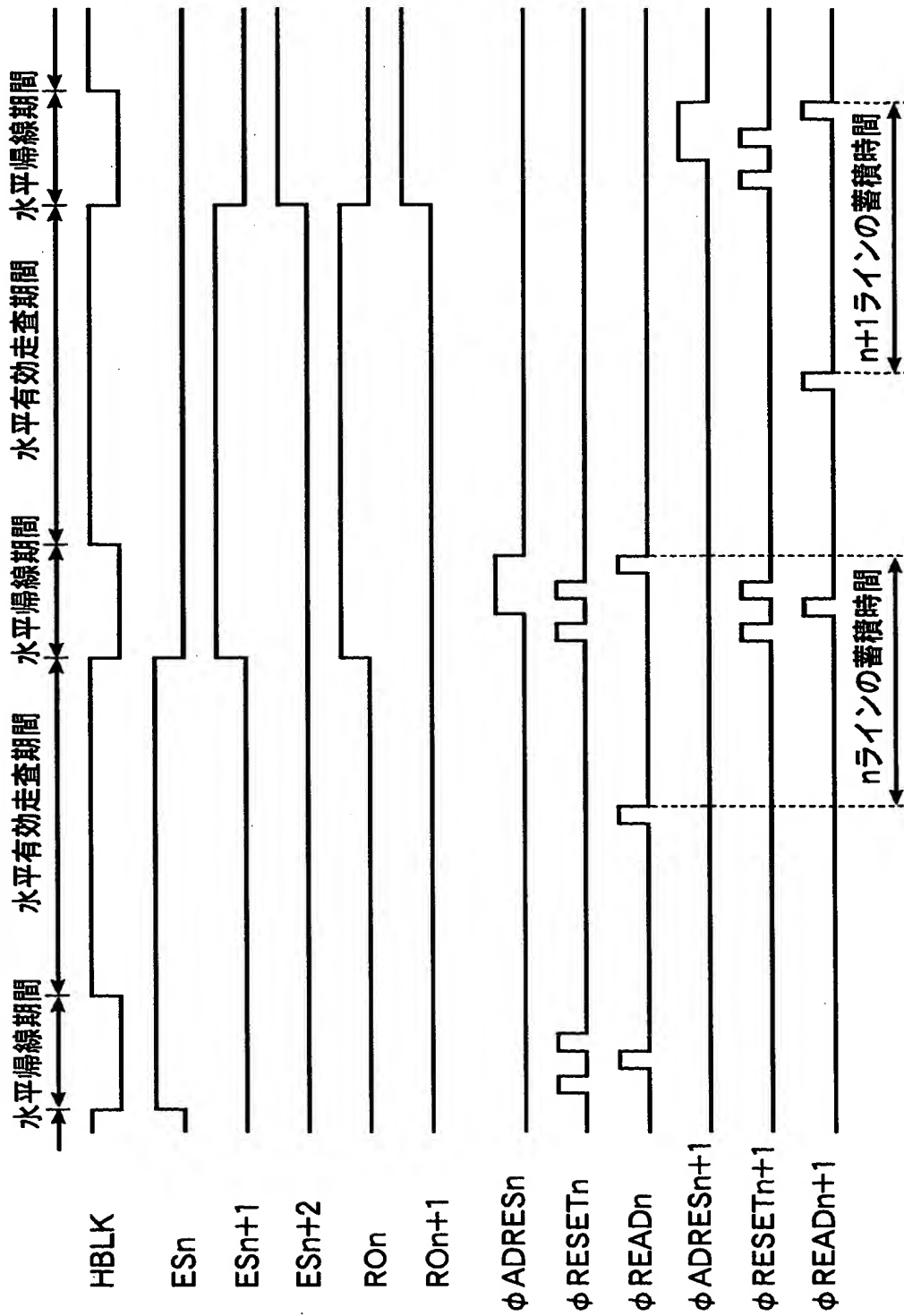
【図 4】



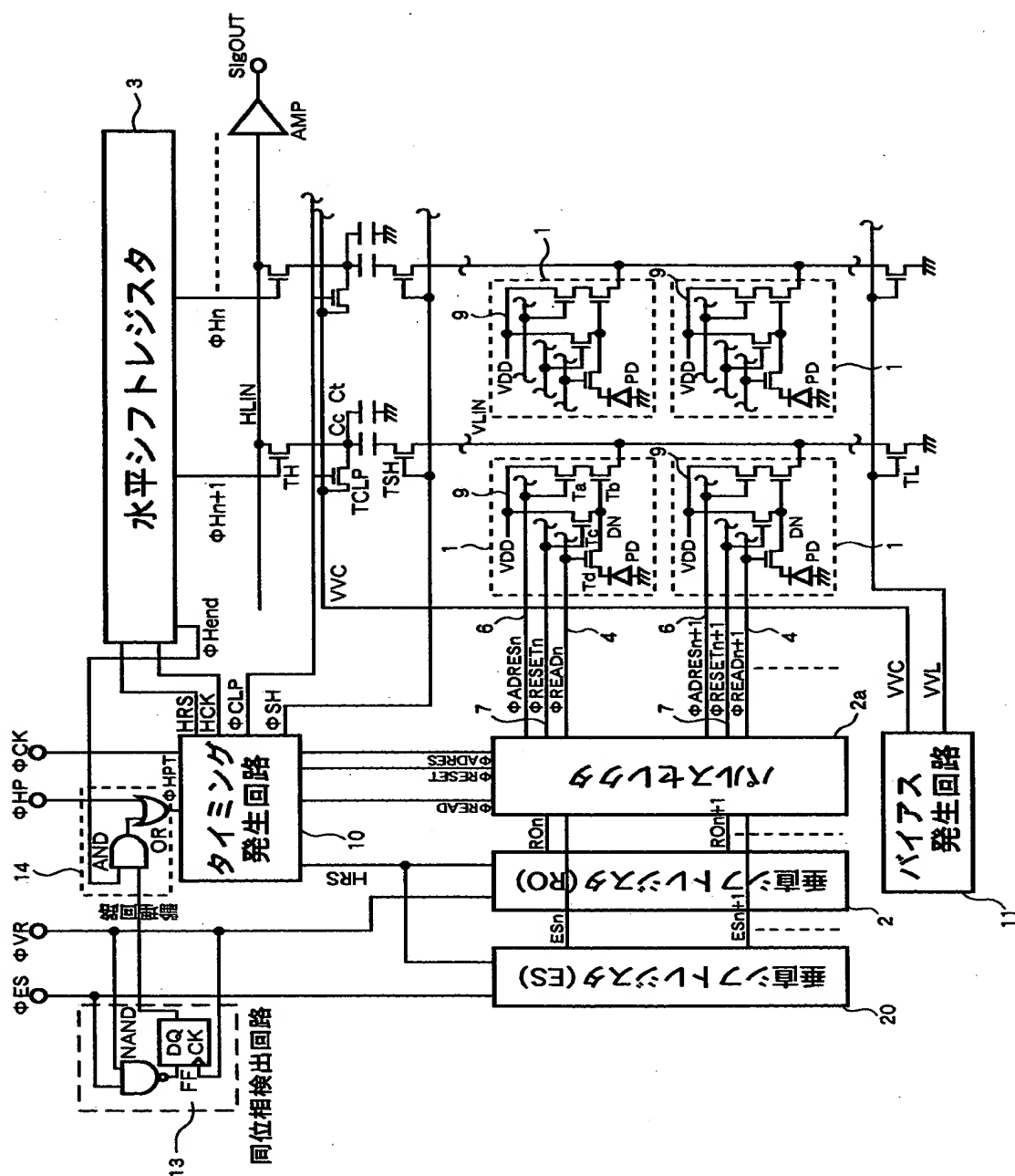
【図 5】



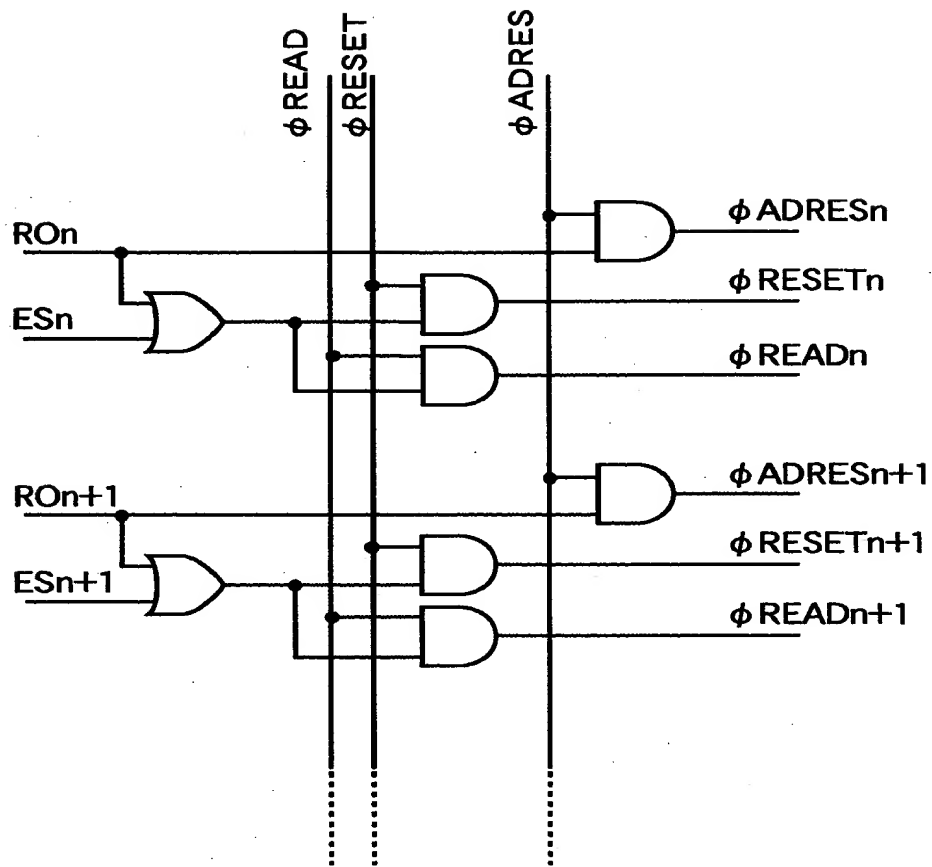
【図 6】



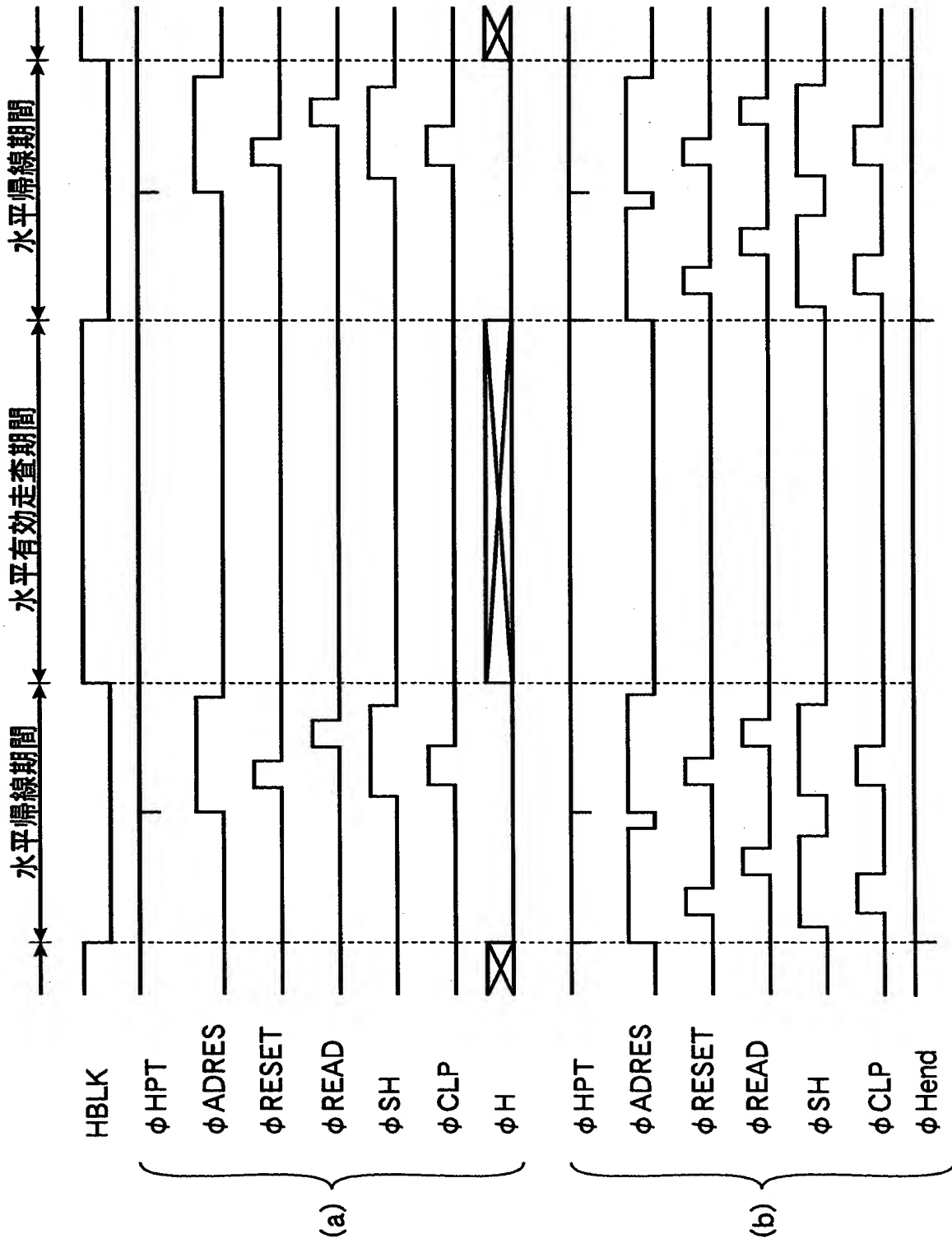
【図 8】



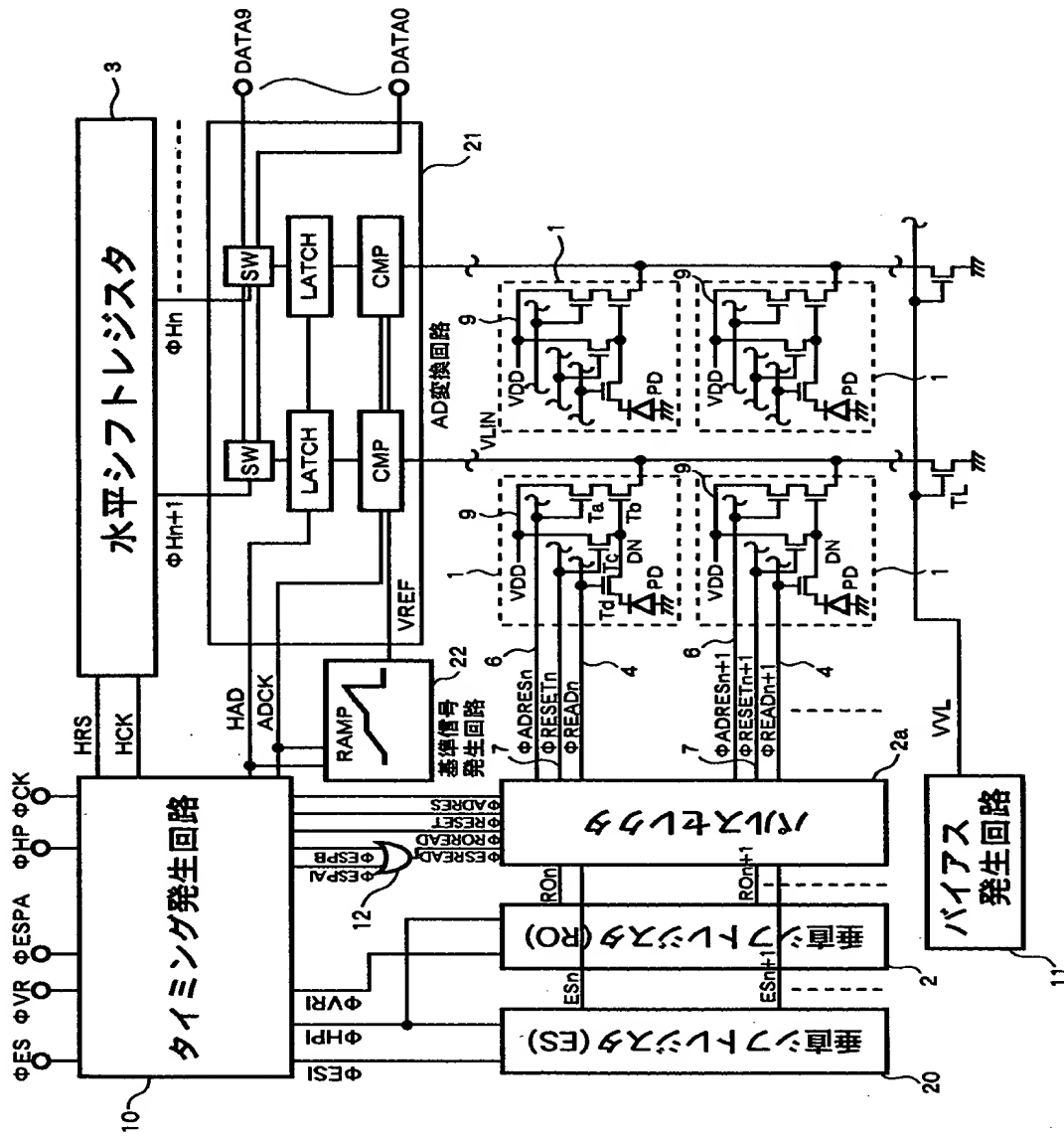
【図 9】



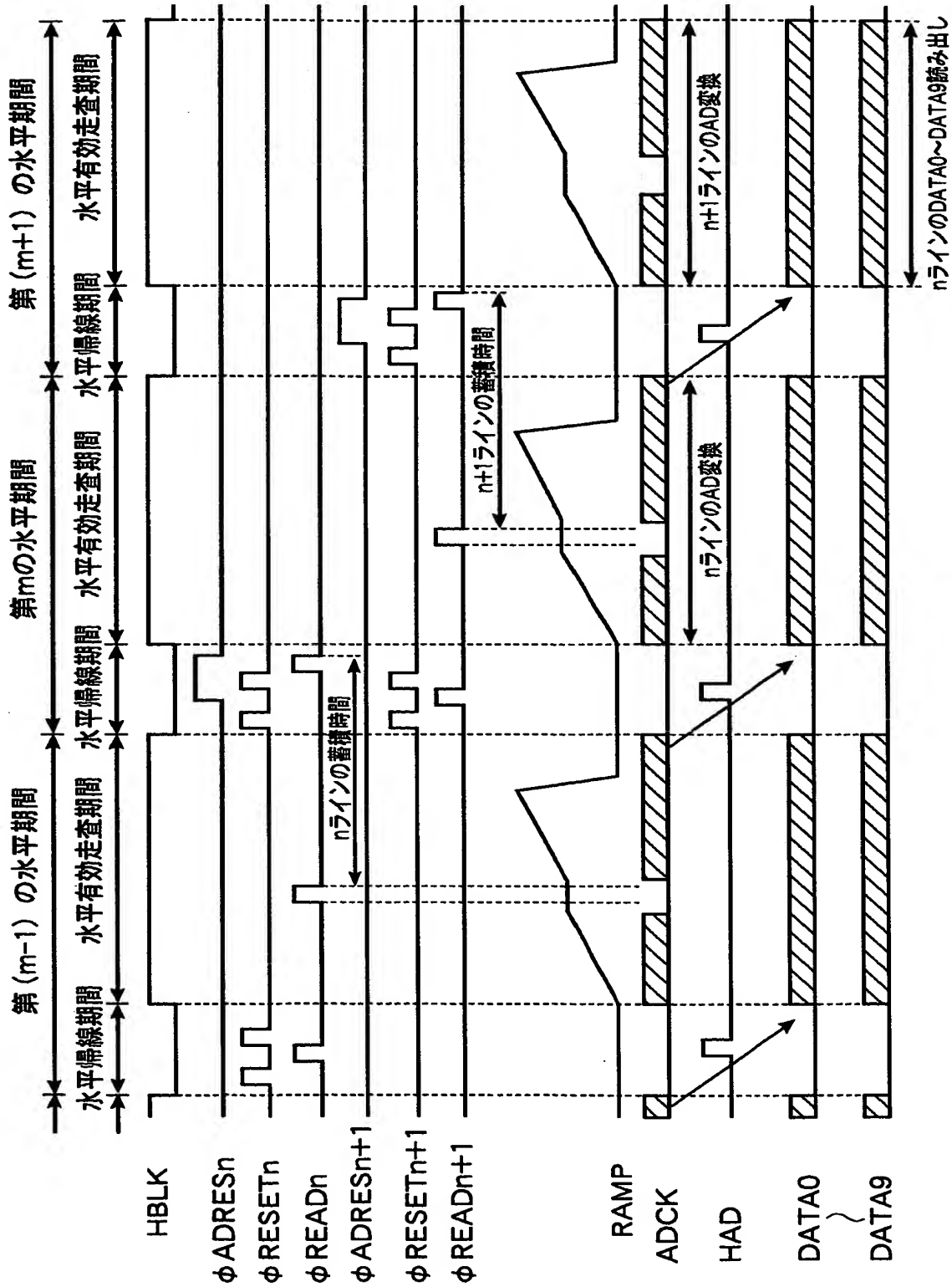
【図 1 0】



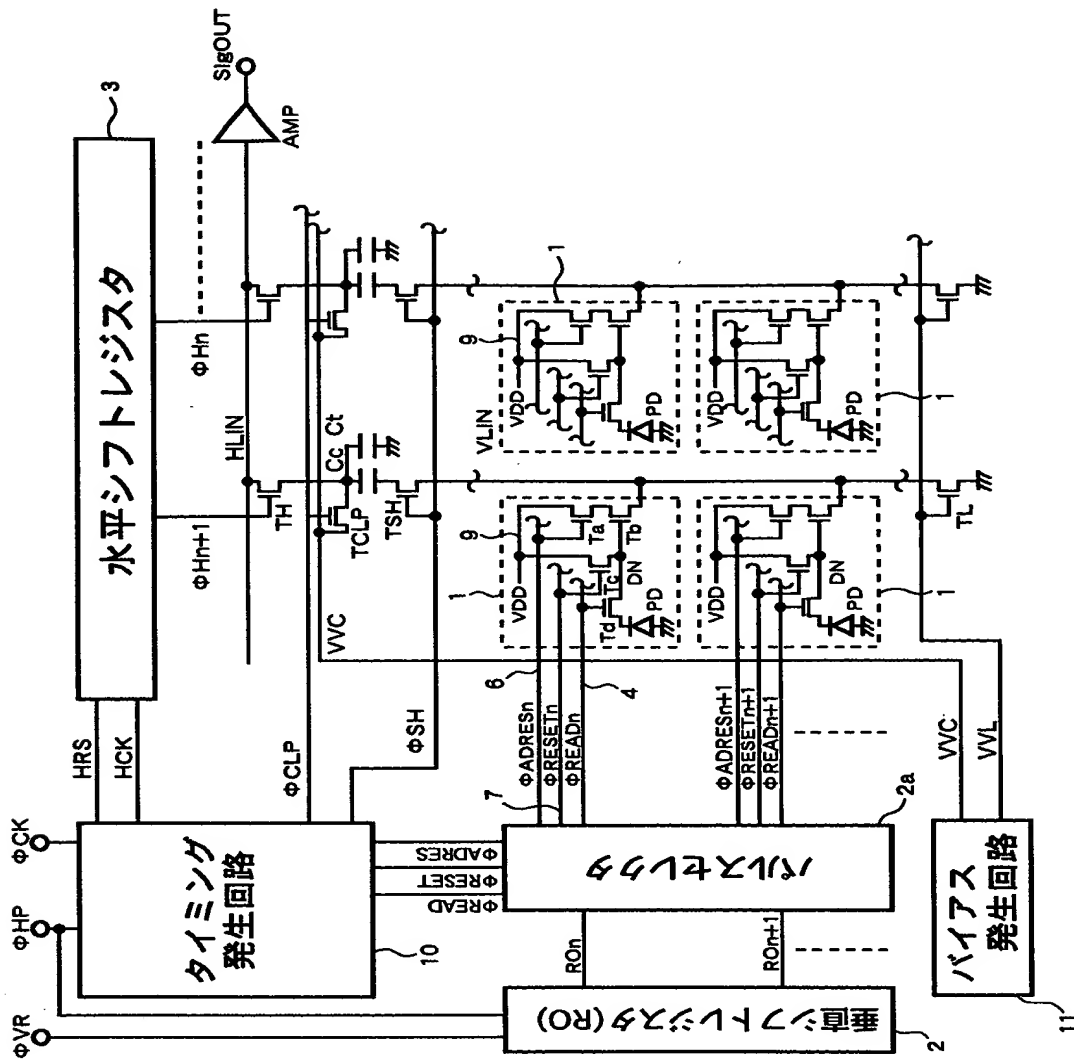
【図 1 1】



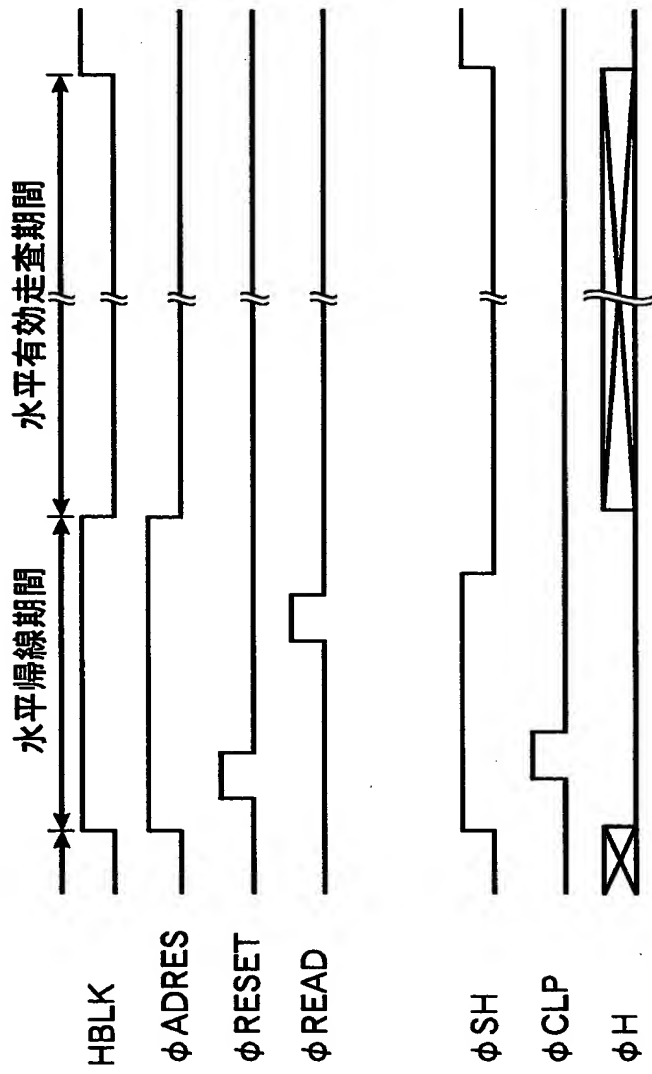
【図 1 2】



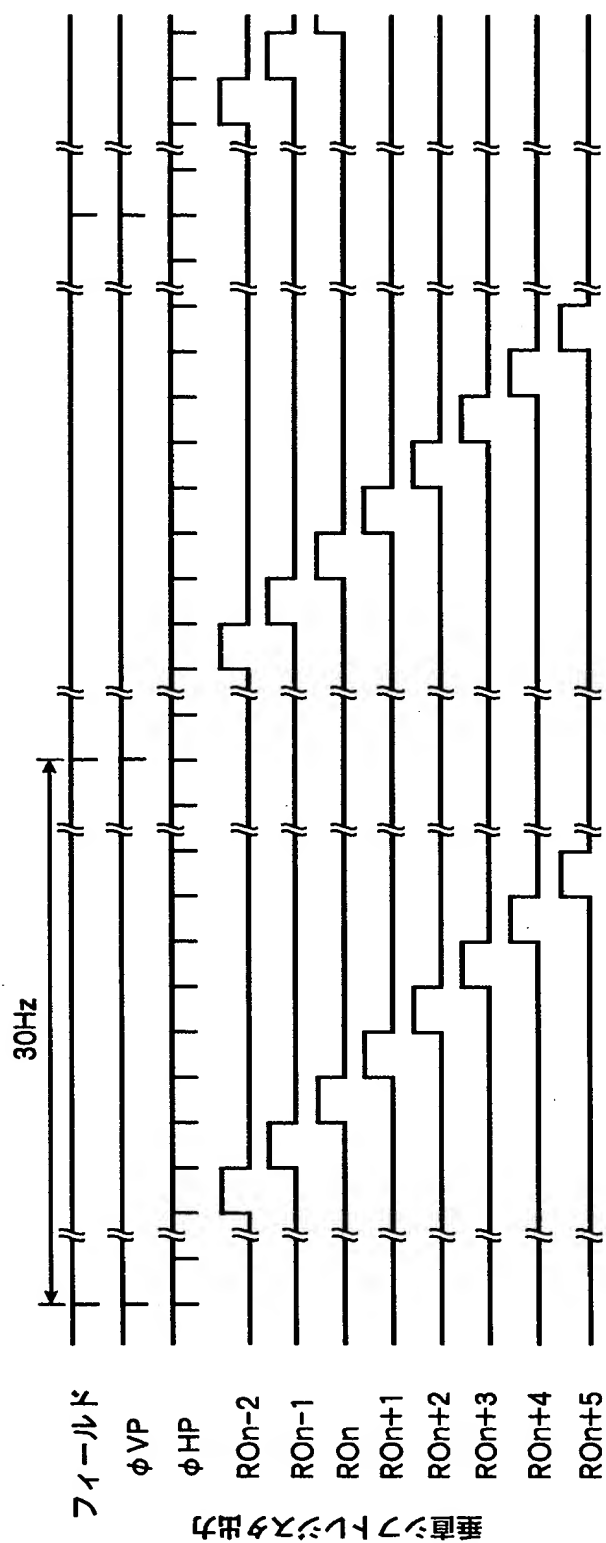
【図 1 3】



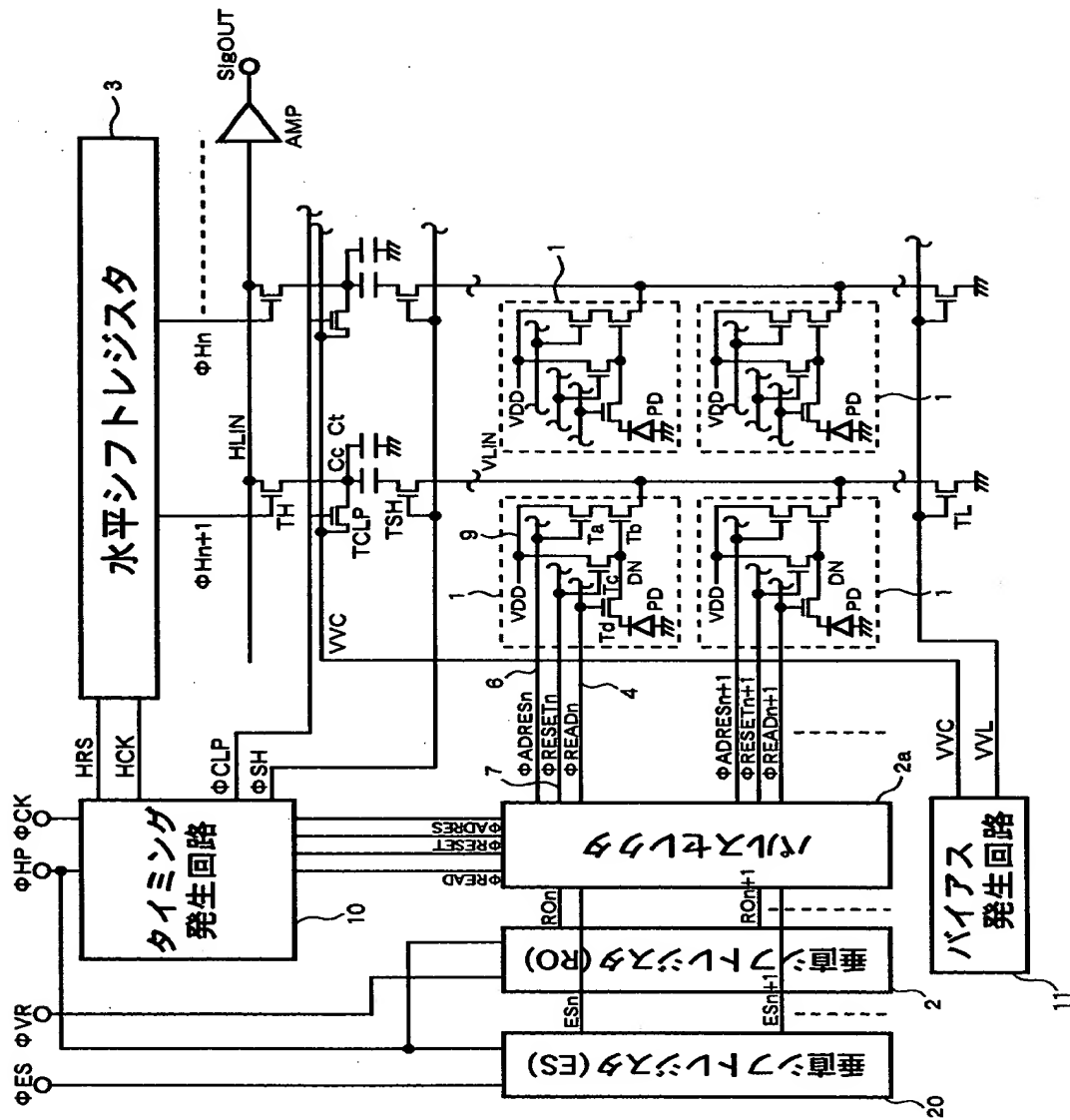
【図 1 4】



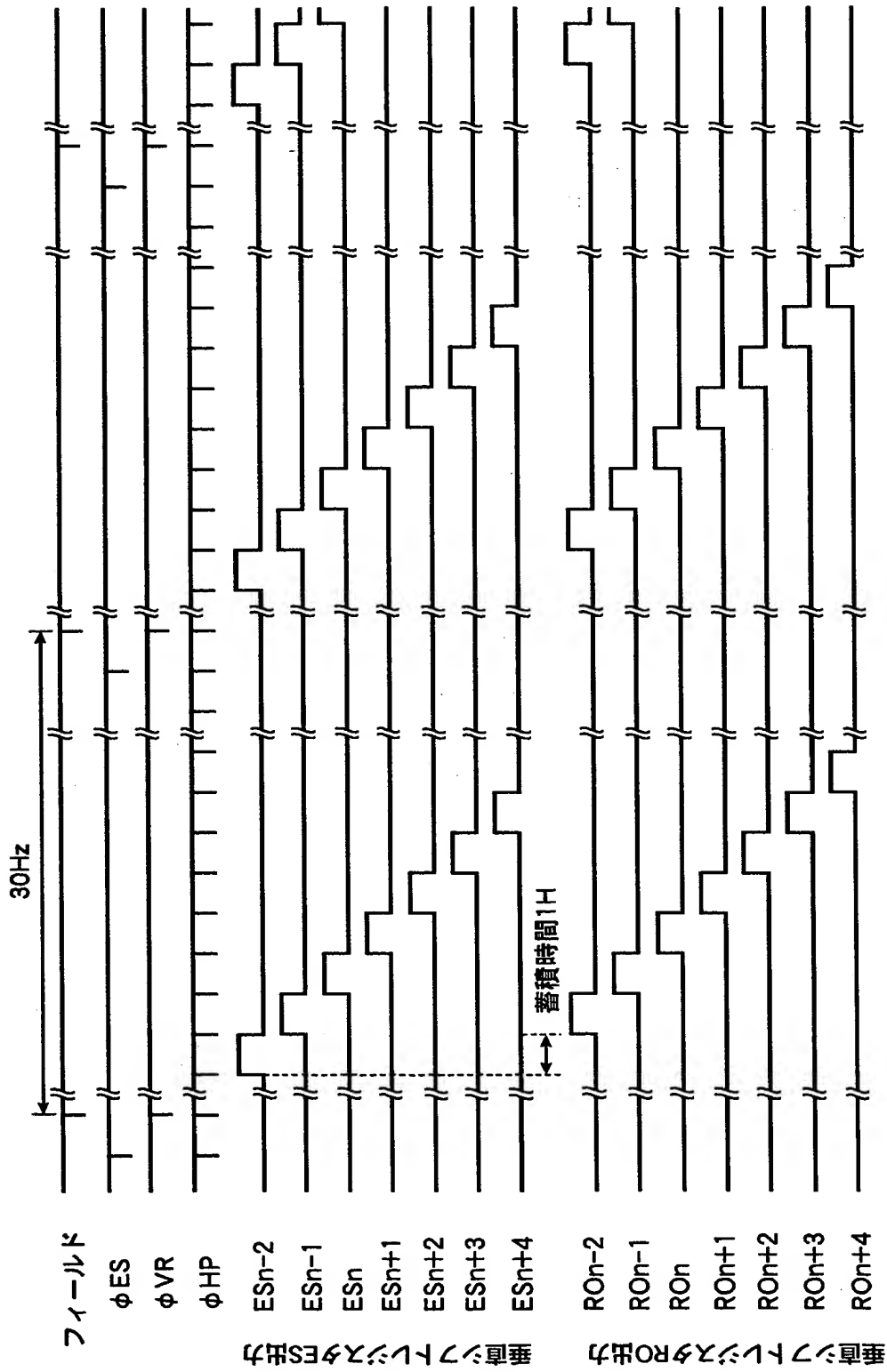
【図 1 5】



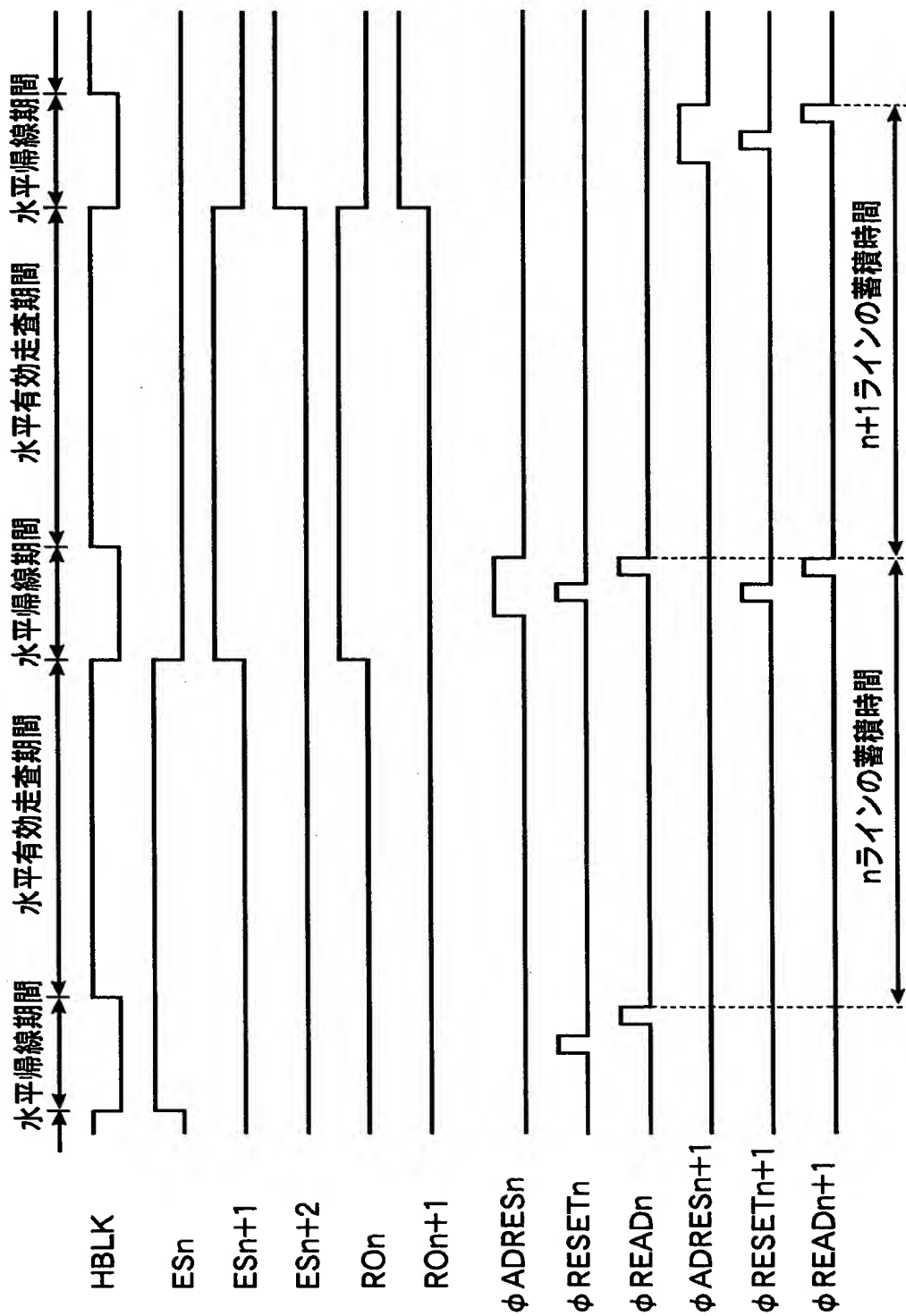
【図 1 6】



【図 1 7】



【図 1 8】



【書類名】 要約書

【要約】

【課題】 フォトダイオードにおける最小の電荷蓄積時間を 1 H（水平周期）未満に制御することができ、非常に高速の電子シャッタ動作を行なうことが可能な固体撮像装置を提供すること。

【解決手段】 単位セル 1 が二次元的に配置されてなる撮像領域と、撮像領域における各画素行に対応して水平方向に設けられ、それぞれ対応する画素行の単位セルの各読み出し手段Tdを駆動するための読み出し駆動信号 ϕ READi を伝送するための複数本の読み取り線 4 と、これら複数本の読み取り線に読み出し駆動信号を選択的に供給して読み出し手段を駆動するための垂直駆動手段 2 a と、それぞれ第 1、第 2 のパルス ϕ ROREAD、 ϕ ESREADに基づき、各画素行の読み出し手段を駆動させるように垂直駆動手段を制御する第 1、第 2 の行選択手段 2、2 0 とを具備する。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成 1 1 年 特許願 第 2 8 6 4 6 9 号
受付番号	5 9 9 0 0 9 8 3 5 6 0
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 1 年 1 0 月 1 2 日

< 認定情報・付加情報 >

【提出日】	平成 1 1 年 1 0 月 7 日
-------	--------------------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町 7 2 番地

氏 名 株式会社東芝